

## **Method for manufacturing a trench capacitor**

Patent Number: ☒ US2001055846

Publication  
date: 2001-12-27

Inventor(s): LAMPRECHT ALEXANDRA (DE); OTTENWALDER DIETMAR (DE);  
BECKMANN GUSTAV (DE); HAUPT MORITZ (DE); KRAEMANN ANKE  
(DE); SACHSE JENS-UWE (DE); SCHREMS MARTIN (DE)

Applicant(s):

Requested  
Patent: ☒ DE10014920

Application  
Number: US20010811800 20010319

Priority  
Number(s): DE20001014920 20000317

IPC  
Classification: H01L21/8242; H01L21/20

EC  
Classification: H01L21/8242B6T

EC  
Classification: H01L21/8242B6T

Equivalents: ☐ US6528384

---

### **Abstract**

A method for manufacturing a trench capacitor uses a low-pressure gas phase doping for forming a buried plate as a capacitor plate. The use of the low-pressure gas phase doping reduces process costs and improves capacitor properties

---

Data supplied from the esp@cenet database - 12



**SEARCH RESULTS:**

1 / 1 DWPI - ©Thomson Derwent - image

**Accession Nbr :**

2002-342098 [38]

**Sec. Acc. Non-CPI :**

N2002-268989

**Title :**

Manufacturing method for trench capacitor for semiconductor memory cell has roughed silicon layer provided between intermediate dielectric layer and one or both electrodes for increasing electrode surface

**Derwent Classes :**

U11

**Patent Assignee :**

(INFN ) INFINEON TECHNOLOGIES AG

(FORS/) FORSTER M

(GUTS/) GUTSCHE M

(LUTZ/) LUTZEN J

(MORG/) MORGENSCHWEIS A

**Inventor(s) :**

FOERSTER M; GUTSCHE M; LUETZEN J; MORGENSCHWEIS A; FORSTER M; LUTZEN J

**Nbr of Patents :**

4

**Nbr of Countries :**

27

**Patent Number :**

EP1180796 A2 20020220 DW2002-38 H01L-021/8242 Ger 39p \*

AP: 2001EP-0118293 20010731

DSR: AL AT BE CH CY DE DK ES FI FR GB GR IE IT LI LT LU LV MC MK NL PT  
RO SE SI TR

DE10040464 A1 20020228 DW2002-38 H01L-027/108

AP: 2000DE-1040464 20000818

US20020072171 A1 20020613 DW2002-43 H01L-021/8242

AP: 2001US-0932902 20010820

US6455369 B1 20020924 DW2002-66 H01L-021/8242

AP: 2001US-0932902 20010820

**Priority Details :**

2000DE-1040464 20000818

**IPC s :**

H01L-021/8242 H01L-027/108 H01L-021/02 H01L-021/20

**Abstract :**

EP1180796 A

NOVELTY - The manufacturing method has a silicon substrate (S1) provided with a trench before formation of a layer sequence providing an inner electrode layer (S7), an intermediate dielectric layer (S10) and an outer electrode layer (S11). A roughened silicon layer (S8) with silicon particles having a diameter of between 10 and 100 nm is provided between the intermediate dielectric layer and one or both electrode layers.

USE - The method is used for manufacture of a trench capacitor used in a semiconductor memory cell, e.g. for a dynamic random-access memory.

ADVANTAGE - The roughened silicon layer allows the surface of the electrodes to be enlarged.

DESCRIPTION OF DRAWING(S) - The figure shows a schematic cross-section through a trench capacitor after the final manufacturing stage.

Silicon substrate S1

Inner electrode layer S7

Roughened silicon layer S8

Intermediate dielectric layer S10

Outer electrode layer S11(Dwg.2Q/7)



# Deutsches Patent- und Markenamt

München, den 02. April 2003

Telefon: (0 89) 21 95 - 3058

Aktenzeichen: 152 34 952.5-33  
Inr Zeichen: 01631 30/s di  
Anmelder nr.: 10423648  
Infineon Technologies AG

Deutsches Patent- und Markenamt - 80297 München

Patentanwälte  
Reinhard, Skuhra, Weise  
& Partner GbR  
Friedrichstr. 31  
80531 München

Bitte Aktenzeichen und Anmelder bei  
allen Eingaben und Zahlungen angeben

Zutreffendes ist angekreuzt ☒ und/oder ausgefüllt

Prüfungsantrag, Einzahlungstag am ~~31.~~ 30. Juli 2002

Eingab vom

eingegangen am

Eingegangen  
Reinhard + Skuhra + Weise  
- 02. April 2003  
AB-DE  
Frist 09.07.03 nicht  
VF 29.06.03 na  
VF 17.04.03 na

Die Prüfung der oben genannten Patentanmeldung hat zu dem nachstehenden Ergebnis geführt.

Zur Äußerung wird eine Frist von

**drei Monat(en)**

gewährt, die mit der Zustellung beginnt.

Für Unterlagen, die der Äußerung gegebenenfalls beigelegt werden (z.B. Beschreibung, Beschreibungsteile, Patentansprüche, Zeichnungen), sind je zwei Ausfertigungen auf gesonderten Blättern erforderlich. Die Äußerung selbst wird nur in einfacher Ausfertigung benötigt.

Werden die Beschreibung, die Patentansprüche oder die Zeichnungen im Laufe des Verfahrens geändert, so hat der Anmelder, sofern die Änderungen nicht vom Deutschen Patent- und Markenamt vorgeschlagen sind, im Einzelnen anzugeben, an welcher Stelle die in den neuen Unterlagen beschriebenen Erfindungsmerkmale in den ursprünglichen Unterlagen offenbart sind.

## Hinweis auf die Möglichkeit der Gebrauchsmusterabzweigung

Der Anmelder einer mit Wirkung für die Bundesrepublik Deutschland eingereichten Patentanmeldung kann eine Gebrauchsmusteranmeldung, die den gleichen Gegenstand betrifft, einreichen und gleichzeitig den Anmeldetag der früheren Patentanmeldung in Anspruch nehmen. Diese Abzweigung (§ 5 Gebrauchsmuster-Gesetz) ist bis zum Ablauf von 2 Monaten nach dem Ende des Monats möglich, in dem die Patentanmeldung durch rechtskräftige Zurückweisung, freiwillige Rücknahme oder Rücknahmefiktion erledigt, ein Einspruchsverfahren abgeschlossen oder - im Falle der Erteilung des Patents - die Frist für die Beschwerde gegen den Erteilungsbeschluss fruchtlos verstrichen ist. Ausführliche Informationen über die Erfordernisse einer Gebrauchsmusteranmeldung, einschließlich der Abzweigung, enthält das Merkblatt für Gebrauchsmusteranmelder (G 6181), welches kostenlos beim Patent- und Markenamt und den Patentinformationszentren erhältlich ist.

**Annahmestelle und  
Nachtbrieffkasten  
nur  
Zweibrückenstraße 12**

Hauptgebäude  
Zweibrückenstraße 12  
Zweibrückenstraße 5-7 (Breiterhof)  
Markenabteilungen:  
Cincinnatistraße 64  
81534 München

Hausadresse (für Fracht)  
Deutsches Patent- und Markenamt  
Zweibrückenstraße 12  
80331 München

Telefon (089) 2195-0  
Telefax (089) 2195-2221  
Internet: <http://www.dpma.de>

Bank:  
Landeszentralbank München  
Kto.Nr.: 700 010 54  
BLZ: 700 000 00

P 2401.1  
4.02

S-Bahnanschluss im  
Münchner Verkehrs- und  
Tarifverbund (MVG):



Zweibrückenstr. 12 (Hauptgebäude)  
Zweibrückenstr. 5-7 (Breiterhof)  
S1 - S8 Haltestelle Isartor

Cincinnatistraße:  
S2 Haltestelle Fasangarten  
Bus 98 / 99 (ab S-Bahnhof-Giesing) Haltestelle Cincinnatistraße



In diesem Bescheid sind folgende Entgegenhaltungen erstmalig genannt  
(bei deren Nummerierung gilt diese auch für das weitere Verfahren):

- 1) DE 100 40 464 A1
- 2) DE 100 14 920 C1

Der Prüfung liegen die ursprünglichen Unterlagen mit nachgereichten Figuren und elf Ansprüchen zugrunde.

1. Patenthinderndes Material konnte nicht ermittelt werden.

Aus 1), vgl. insbesondere die Fig. 1c bis 1h mit zugehöriger Beschreibung, und aus 2), vgl. insbesondere die Fig. 4a bis 4c mit zugehöriger Beschreibung, ist ein Herstellungsverfahren bekannt, das mit dem im Anspruch 1 beanspruchten Verfahren zwar weitgehend übereinstimmt, bezüglich des Füllmaterials des Grabens (Zeilen 11 bis 17 des Anspruchs 1) sich jedoch gravierend unterscheidet.

2. Die Anmelderin wird gebeten, diesen angezogenen Stand der Technik noch in der Beschreibungseinleitung anzugeben, wobei bezüglich der Schilderung der Relevanz dieses Standes der Technik auf die obigen Ausführungen verwiesen werden kann. Ferner wird die Anmelderin gebeten anzugeben, von welchem Stand der Technik sie selbst bei der Abfassung der Beschreibungseinleitung ausgegangen ist.

Mit den vorliegenden Unterlagen kann keine Erteilung in Aussicht gestellt werden.

Prüfungsstelle für Klasse H 01 L

Nitsche

Hausruf: 3176

**Anlage:**

Abl. von 2 Entgegenhaltungen

**Ausgefertigt**

  
Regierungsangestellte



Schz







⑮ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 100 40 464 A 1**

⑤ Int. Cl. 7:  
**H 01 L 27/108**  
H 01 L 21/8242

⑲ Aktenzeichen: 100 40 464.2  
⑳ Anmeldetag: 10. 8. 2000  
㉑ Offenlegungstag: 28. 2. 2002



⑦ Anmelder:  
Infineon Technologies AG, 81669 München, DE  
  
⑦ Vertreter:  
Wilhelm, J., Dipl.-Phys.Univ., Pat.-Anw., 80636  
München

⑦ Erfinder:  
Lützen, Jörn, 01099 Dresden, DE; Morgenschweis,  
Anja, 01108 Dresden, DE; Gutsche, Martin, 84405  
Dorfen, DE; Förster, Matthias, 01099 Dresden, DE

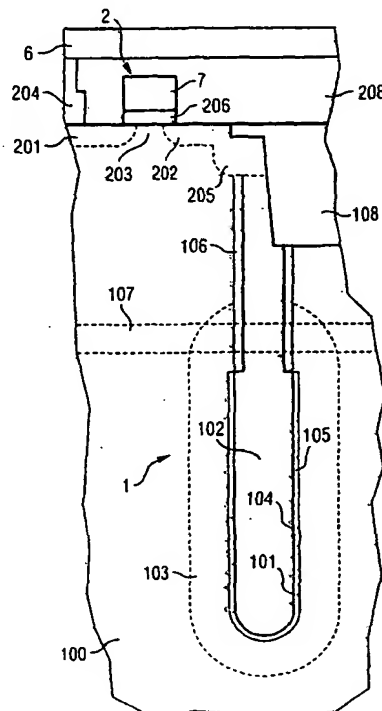
⑤ Entgegenhaltungen:  
US 58 77 061  
EP 09 80 100 A2

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Der Inhalt dieser Schrift weicht von den am Anmeldetag eingereichten Unterlagen ab  
Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Grabenkondensator und Verfahren zu seiner Herstellung

⑤ Ein Graben-Kondensator, insbesondere zur Verwendung in einer Halbleiter-Speicherzelle, weist eine Schichtenfolge auf, die aus einer im wesentlichen blockförmigen inneren Elektrodenschicht, einer dielektrischen Zwischenschicht und einer im Silizium-Substrat ausgebildeten äußeren Elektrodenschicht besteht, wobei zwischen der dielektrischen Zwischenschicht und der äußeren Elektrodenschicht und/oder der inneren Elektrodenschicht eine aufgeraute Silizium-Schicht aus Silizium-Körnern vorzugsweise mit einem Durchmesser von im wesentlichen 10 bis 100 nm vorgesehen ist, um die Oberfläche der Elektroden zu vergrößern.



DE 100 40 464 A 1

[0001] Die vorliegende Erfindung betrifft einen Graben-kondensator und ein Verfahren zu seiner Herstellung.

[0002] In integrierten Schaltungen (ICs) werden im allgemeinen Kondensatoren zur Ladungsspeicherung verwendet. So setzen sich die dynamischen Schreib/Lesespeicher (DRAMs) von Speicher-ICs jeweils aus einem Auswahl-Transistor und einem Speicher-Kondensator zusammen, wobei die Information im Speicher-Kondensator in Form von elektrischen Ladungen gespeichert wird. Ein Speicher-IC besteht aus einer Matrix von solchen DRAM-Zellen, welche in Form von Zeilen und Spalten verschaltet sind. Üblicherweise werden die Zeilenverbindungen als Wortleitungen und die Spaltenverbindungen als Bitleitungen bezeichnet. Der Auswahl-Transistor und der Speicher-Kondensator in der DRAM-Zelle sind dabei so miteinander verbunden, dass bei Ansteuerung des Auswahl-Transistors über eine Wortleitung die Ladung des Speicher-Kondensators über eine Bitleitung ein- und ausgelesen werden kann.

[0003] Ein Schwerpunkt bei der Technologieentwicklung von Speicher-ICs mit DRAMs ist der Speicher-Kondensator. Um ein ausreichendes Lesesignal von diesem Speicher-Kondensator zu erhalten, ist es erforderlich, dass die Speicherkapazität ca. 25–40 fF beträgt. Um für eine solche Speicherkapazität bei der von Technologieschritt zu Technologieschritt ständig abnehmenden Zellenfläche für die DRAMs zu sorgen, wurden deshalb Speicher-Kondensatoren entwickelt, die die dritte Dimension nutzen. Solche dreidimensionalen Speicher-Kondensatoren werden bei DRAM-Zellen zum Beispiel als Graben-Kondensatoren ausgeführt, die so hergestellt werden, dass ein Graben in das Halbleitersubstrat geätzt wird, der mit einer dielektrischen Schicht und einer ersten Speicherelektrode ausgefüllt wird, wobei das Halbleitersubstrat als zweite Speicherelektrode dient. Der Auswahl-Transistor der DRAM-Zellen wird dann üblicherweise auf der planaren Halbleiteroberfläche neben dem Graben-Kondensator ausgebildet.

[0004] Aufgrund der weiterhin zunehmenden Verkleinerung der DRAM-Zellen wird auch bei den Graben-Kondensatoren nach Wegen gesucht, bei abnehmendem Grabendurchmesser wegen verkleinerter Zellenfläche eine gleichbleibende Kondensator-Kapazität zu gewährleisten. Eine Möglichkeit hierbei ist die Tiefe der Gräben zu erhöhen, wobei dieses Vorgehen jedoch inzwischen sowohl an technologische als auch wirtschaftliche Grenzen stößt. Zum einen erfordert das Erzeugen zunehmend tieferer Gräben bei gleichzeitig verkleinertem Grabendurchmesser Ätzverfahren, die sehr hohe Aspektverhältnisse (Verhältnis von Spaltentiefe zur Spaltenbreite) erreichen. Beim Aspektverhältnis sind jedoch den bekannten Ätzverfahren Grenzen gesetzt. Weiterhin erfordert die Grabenätzung ab einer bestimmten Tiefe eine stark verlängerte Ätzzeit, was die Kosten des Ätzprozesses wesentlich erhöht.

[0005] Alternativ und zusätzlich zu einer weiteren Vertiefung der Gräben kommen deshalb verstärkt Verfahren zum Einsatz, die es erlauben, die Oberfläche innerhalb des Graben-Kondensators zu vergrößern, um hierdurch für eine ausreichende Speicherkapazität zu sorgen. So sind Verfahren bekannt, bei denen der Graben-Kondensator in seinem unteren Bereich durch einen zusätzlichen Ätzschritt ausgeweitet wird, wodurch sich die Kondensatorfläche vergrößern lässt. Die für solche Ausweitung der Gräben erforderlichen Ätzprozesse stoßen jedoch ebenfalls an technologische Grenzen.

[0006] Neben den Graben-Kondensatoren werden auch Stapel-Kondensatoren zu einer dreidimensionalen Ausbildung von Speicher-Kondensatoren in Speicher-ICs einge-

setzt. Ein Stapel-Kondensator besteht prinzipiell aus zwei übereinander angeordneten leitenden Schichten, die durch eine dielektrische Schicht getrennt sind. Stapel-Kondensatoren werden in DRAM-Zellen im allgemeinen oberhalb der planaren Auswahl-Transistoren ausgebildet, wobei eine der beiden Kondensator-Elektroden in elektrischer Verbindung mit dem Auswahl-Transistor steht. Um eine möglichst große Kondensatorfläche bei solchen Stapel-Kondensatoren zu erreichen und damit für eine ausreichende Speicherkapazität zu sorgen, wird die dielektrische Schicht zwischen den beiden leitenden Kondensator-Schichten vorzugsweise gefaltet ausgeführt. Solche Stapel-Kondensatoren sind unter der Bezeichnung Kronen-Stapel-Kondensatoren bekannt.

[0007] Weiterhin werden bei Stapel-Kondensatoren auch Verfahren eingesetzt, bei denen die Oberfläche der leitenden Kondensator-Schichten aufgeraut und hierdurch vergrößert wird. Insbesondere wird dabei zur Oberflächenvergrößerung rauhes Poly-Silizium, sogenanntes Hemispherical-Grain-Silizium HSG, eingesetzt, bei dem mit Hilfe einer speziellen Abscheidetechnik bzw. einer Temperaturbehandlung ca. 10 bis 100 nm große Silizium-Körner erzeugt werden. Da der HSG-Prozess technologisch jedoch nur sehr schwer beherrschbar ist, wird dieses Verfahren zur Oberflächenvergrößerung der Kondensatorelektroden und damit zur Erhöhung der Gesamtkapazität des Kondensators bisher ausschließlich bei Stapel-Kondensatoren eingesetzt. Verfahren zur Herstellung von HSG-Schichten bei Stapel-Kondensatoren sind unter anderem aus der US 5 723 379, der US 5 858 852 und der US 5 858 837 bekannt.

[0008] Aus der US 5 877 061 ist weiterhin ein Graben-Kondensator bekannt, bei dem eine verbesserte Kondensator-Kapazität durch eine aufgeraute Oberfläche im Bereich der Kondensator-Elektroden erreicht wird. Hierzu wird eine körnige Poly-Silizium-Schicht oder eine HSG-Silizium-Schicht in dem Bereich, in dem die Kondensator-Elektroden im Graben ausgebildet werden sollen, abgeschieden und anschließend isotrop abgeätzt, so dass eine aufgeraute Silizium-Oberfläche im Kondensator-Elektroden-Bereich zurückbleibt. Diese Technik zur Kapazitätsvergrößerung im Graben-Kondensator ist jedoch aufwendig, da zusätzliche Ätzprozesse vorgesehen sind. Darüber hinaus besteht die Gefahr, dass die körnige Poly-Silizium-Schicht bzw. die HSG-Silizium-Schicht insbesondere im Kragenbereich, der zur Isolierung der Kondensator-Elektroden dient, nicht vollständig abgeätzt wird, wodurch Leckstrompfade entstehen können.

[0009] Bei geringer oder gar nicht vorhandener Ätzselektivität zur Ätzmaske, haben isotrope Ätzungen darüber hinaus die Tendenz, ursprünglich vorhandene Rauigkeiten auszugleichen, wodurch die zunächst im HSG vorhandene Rauigkeit nur unvollständig in das darunterliegende Silizium übertragen werden kann.

[0010] Es wäre jedoch auch wünschenswert, wenn bei Graben-Kondensatoren die Möglichkeit bestände, durch rauhe Oberflächen nach dem HSG-Verfahren vergrößerte Kondensatorenoberflächen und damit eine erhöhte Speicherkapazität zu erzielen. Eine Verwendung von HSG-Silizium in Graben-Kondensatoren ist jedoch insbesondere deshalb nicht gelungen, weil die bekannten Verfahren es nicht erlauben, das HSG-Silizium auf die Bereiche im Graben-Kondensator zu beschränken, die als Elektrodenoberfläche dienen. Üblicherweise wird bei Graben-Kondensatoren im Bereich des Grabens ein dielektrischer Kragen erzeugt, um die Entstehung eines parasitären vertikalen Feldeffekt-Transistors zu verhindern. Beim Einsatz von HSG-Silizium zur Vergrößerung der Elektrodenoberfläche besteht jedoch die Gefahr, dass insbesondere auch in diesem Kragenbereich HSG-Silizium zurück bleibt, was dann zu unerwünschten

Leckströmen führen kann.

[0011] Aufgabe der vorliegenden Erfindung ist es, einen Graben-Kondensator mit einer vergrößerten Oberfläche der Kondensatorelektroden zu schaffen, der sich durch eine konstante Speicherkapazität bei kleinerem Grabendurchmesser und eine zuverlässige Ladungsspeicherung auszeichnet.

[0012] Diese Aufgabe wird durch den in Anspruch 1 angegebenen Graben-Kondensator und durch das in Anspruch 3 bzw. Anspruch 4 angegebene Herstellungsverfahren gelöst. Bevorzugte Ausgestaltungen sind in den abhängigen Ansprüchen angegeben.

[0013] Gemäß der Erfindung weist der Graben-Kondensator im unteren Bereich eines Grabens in einem Silizium-Substrat eine Schichtenfolge auf, die aus einer im wesentlichen blockförmigen inneren Elektrode, einer dielektrischen Zwischenschicht und einer im Silizium-Substrat ausgebildeten äußeren Elektrodenschicht besteht, wobei zwischen der dielektrischen Zwischenschicht und der inneren Elektrodenschicht und/oder der äußeren Elektrodenschicht eine Silizium-Schicht aus Silizium-Körnern vorzugsweise mit einem Durchmesser von im wesentlichen 10 nm bis 100 nm vorgesehen ist und wobei im oberen Bereich des Grabens ein Isolationskragen ausgebildet ist.

[0014] Um einen solchen Graben-Kondensator herzustellen, wird erfindungsgemäß nach einem Ausbilden einer dotierten Schicht im Silizium-Substrat im unteren Bereich des Grabens entweder eine Isolationsschicht im oberen Bereich des Grabens zum Ausbilden des Isolationskragens und dann die aufgerauhte Silizium-Schicht im unteren Bereich des Grabens erzeugt oder nach Ausbilden der dotierten Schicht im Silizium-Substrat im unteren Bereich des Grabens erst die aufgerauhte Silizium-Schicht in diesen Bereich erzeugt und dann im oberen Bereich die Isolationsschicht für den Isolationskragen ausgebildet.

[0015] Mit Hilfe der Erfindung ist es so möglich, einen Graben-Kondensator zu erzeugen, bei dem die Oberfläche der Kondensatorelektroden durch die aufgerauhte Silizium-Oberfläche stark vergrößert ist, wodurch die Kapazität des Graben-Kondensators erhöht wird und gleichzeitig gewährleistet ist, dass die aufgerauhte Silizium-Schicht nur auf der Elektrodenoberfläche innerhalb des Grabens ausgebildet wird. Durch diesen Aufbau wird sichergestellt, dass kein Leckstrom zwischen den Elektroden des Graben-Kondensators fließt, der zu einem schnellen Verlust der Speicherladung im Graben-Kondensator führen würde. Gleichzeitig wird durch die Beschränkung der aufgerauhten Silizium-Schicht auf die Elektrodenoberfläche verhindert, dass eine unzulässige Einengung des oberen Grabenabschnitts, der zur Kontaktierung des Auswahl-Transistors erforderlich ist, auftritt.

[0016] Gemäß einer bevorzugten Ausführungsform erfolgt eine Erzeugung der aufgerauhten Silizium-Schicht zuerst auf der gesamten Grabenoberfläche, wobei anschließend der untere Bereich dieser aufgerauhten Silizium-Schicht maskiert und dann die aufgerauhte Silizium-Schicht im oberen Bereich, in dem der Isolationskragen ausgebildet werden soll, entfernt wird. Durch diesen Prozessablauf wird gewährleistet, dass die aufgerauhte Silizium-Schicht im Isolationskragen-Bereich zuverlässig entfernt wird und durch die Maskierung im unteren Bereich gleichzeitig verhindert wird, dass dieser aufgerauhte Silizium-Schichtbereich bei der Strukturierung beschädigt wird.

[0017] Gemäß einer weiteren bevorzugten Ausführungsform wird zur Entfernung der aufgerauhten Silizium-Schicht im oberen Grabenbereich zuerst eine Planarisierung oder Oxidierung der vorher erzeugten Silizium-Körner unter geeigneten Prozessbedingungen durchgeführt, wobei die

aufgerauhte Silizium-Schicht im unteren Grabenbereich durch eine temperaturstabile Schicht geschützt ist. Durch diesen Prozessablauf wird ein besonders einfaches Entfernen bzw. Verändern der aufgerauhten Silizium-Schicht im oberen Grabenbereich ermöglicht.

[0018] Gemäß einer weiteren bevorzugten Ausführungsform wird eine selektive Erzeugung der aufgerauhten Silizium-Schicht im unteren Grabenbereich vorgenommen, wobei amorphes, nicht aufgerauhtes Silizium auf der Grabenoberfläche abgeschieden und dann strukturiert wird, wodurch die amorphe Silizium-Schicht, aus der anschließend die Silizium-Körner erzeugt werden, nur im unteren Grabenbereich, in dem die Kondensatorelektroden ausgebildet werden, verbleibt. Diese Ausgestaltung ermöglicht es auf besonders einfache Weise die aufgerauhte Silizium-Schicht nur im Bereich der Elektrodenoberflächen zu erzeugen.

[0019] Die Erfindung wird anhand der beigefügten Zeichnungen näher erläutert.

[0020] In den Zeichnungen zeigen:

[0021] Fig. 1 eine erste Ausführungsform eines erfindungsgemäßen Verfahrens zur Herstellung eines Graben-Kondensators mit einer nicht-selektiven HSG-Silizium-Erzeugung vor der Kragenausbildung;

[0022] Fig. 2 eine zweite Ausführungsform eines erfindungsgemäßen Verfahrens zur Herstellung eines Graben-Kondensators mit einer nicht-selektiven HSG-Silizium-Erzeugung nach Ausbildung des Isolationskragens;

[0023] Fig. 3 eine dritte Ausführungsform eines erfindungsgemäßen Verfahrens zur Herstellung eines Graben-Kondensators mit einer nicht-selektiven HSG-Silizium-Erzeugung nach Ausbildung des Isolationskragens;

[0024] Fig. 4 eine vierte Ausführungsform eines erfindungsgemäßen Verfahrens zum Herstellen eines Graben-Kondensators mit einer nicht-selektiven HSG-Silizium-Erzeugung nach Ausbildung des Isolationskragens;

[0025] Fig. 5 eine fünfte Ausführungsform eines erfindungsgemäßen Verfahrens zur Herstellung eines Graben-Kondensators mit einer selektiven HSG-Silizium-Erzeugung nach Ausbildung eines Isolationskragens;

[0026] Fig. 6 ein Schaltbild einer DRAM-Zelle; und

[0027] Fig. 7 einen schematischen Querschnitt durch eine DRAM-Zelle mit einem erfindungsgemäßen Graben-Kondensator.

[0028] Die Erfindung wird anhand der Herstellung von Graben-Kondensatoren im Rahmen einer Prozessfolge zum Ausbilden von DRAM-Speicherzellen auf Siliziumbasis erläutert. Die erfindungsgemäßen Graben-Kondensatoren können jedoch auch in anderen hochintegrierten Schaltungen, bei denen Kondensatoren benötigt werden, eingesetzt werden. Die Ausbildung der Graben-Kondensatoren erfolgt vorzugsweise in der Silizium-Planartechnik, die aus Abfolgen von jeweils ganzflächig an der Scheibenoberfläche wirkenden Einzelprozessen besteht, wobei über geeignete Markierungsschichten gezielt eine lokale Veränderung des Silizium-Substrats durchgeführt wird. Bei der DRAM-Herstellung werden dabei gleichzeitig eine Vielzahl von Zellen mit den entsprechenden Graben-Kondensatoren ausgebildet. Im Folgenden wird die Erfindung jedoch nur hinsichtlich der Ausbildung eines einzelnen Graben-Kondensators beschrieben.

[0029] In DRAM-Speichern werden vorwiegend 1-Transistor-Zellen eingesetzt, deren Schaltbild in Fig. 6 gezeigt ist. Diese 1-Transistor-Zellen bestehen aus einem Speicher-Kondensator 1 und einem Auswahl-Transistor 2. Der Auswahl-Transistor 2 ist dabei vorzugsweise als Feldeffekttransistor ausgelegt und weist eine stromliefernde Source-Elektrode 21 und eine stromaufnehmende Drain-Elektrode 23 auf, zwischen denen ein aktiver Bereich 22 angeordnet ist,

in dem ein stromleitender Kanal zwischen der Source-Elektrode 21 und der Drain-Elektrode 23 ausgebildet werden kann. Über dem aktiven Bereich 22 ist eine Isolatorschicht 24 und eine Gate-Elektrode 25 angeordnet, die wie ein Platten-Kondensator wirken, mit dem die Ladungsdichte im aktiven Bereich 22 beeinflusst werden kann.

[0030] Die Drain-Elektrode 23 des Feldeffekttransistors 2 ist über eine Verbindungsleitung 4 mit einer ersten Elektrode 11 des Speicher-Kondensators 1 verbunden. Eine zweite Elektrode 12 des Speicher-Kondensators 1 wiederum ist an einer Kondensatorplatte 5 angeschlossen, die vorzugsweise allen Speicher-Kondensatoren der DRAM-Zellenanordnung gemeinsam ist. Die Source-Elektrode 21 des Feldeffekttransistors 2 ist mit einer Bitleitung 6 verbunden, um die im Speicher-Kondensator 1 in Form von Ladungen gespeicherte Informationen ein- und auslesen zu können. Der Ein- und Auslesevorgang wird dabei über eine Wortleitung 7 gesteuert, die an die Gate-Elektrode 25 des Feldeffekttransistors 2 angeschlossen ist, um durch Anlegen einer Spannung einen stromleitenden Kanal im aktiven Bereich 22 zwischen der Source-Elektrode 21 und der Drain-Elektrode 23 herzustellen.

[0031] Als Kondensator 1 wird bei DRAMs in vielen Fällen ein Graben-Kondensator eingesetzt, da durch die dreidimensionale Struktur eine wesentliche Verkleinerung der DRAM-Zellenfläche erreicht werden kann. Mit zunehmender Miniaturisierung der DRAM-Zellen und damit immer kleiner werdenden Querschnitten des Graben-Kondensators sind zusätzliche Maßnahmen erforderlich, um für eine ausreichende Kondensatorkapazität von ca. 25-40 fF zu sorgen, die nötig ist, um ein ausreichend großes Lesesignal des DRAMs zu erhalten.

[0032] Eine Möglichkeit die Kapazität bei Graben-Kondensatoren zu erhöhen, besteht darin, tiefere Gräben zu erzeugen. Hier sind jedoch den dafür erforderlichen Ätzverfahren sowohl technologische als auch wirtschaftliche Grenzen gesetzt. Alternativ bietet sich deshalb die Möglichkeit an, die Kondensator-Kapazität durch Vergrößern der Oberfläche innerhalb des Graben-Kondensators zu erhöhen. Dabei werden insbesondere Techniken eingesetzt, die den unteren Bereich des Graben-Kondensators mit den Kondensatorelektroden ausweiten, um so größere Elektrodenoberflächen zu erzeugen. Auch mit einer solchen Aufweitung der unteren Grabenbereiche kann aber aufgrund der zur Verfügung stehenden Zellenbereiche und der notwendigen Ätzverfahren nur eine beschränkte Kapazitätserweiterung erreicht werden. Gemäß der Erfindung wird deshalb die Oberfläche der Kondensatorelektroden durch eine Silizium-Schicht mit Silizium-Körnern, die einen Durchmesser von im wesentlichen 10 bis 100 nm besitzen, aufgeraut und damit zusätzlich vergrößert. Eine solche als HSG-Silizium bekannte Silizium-Schicht wird dabei vorzugsweise auf die Elektrodenoberflächen beschränkt, um Leckstrompfade zwischen den Elektroden des Graben-Kondensators zu verhindern. Geringe HSG-Reste sind jedoch im unteren Kragenbereich eventuell tolerierbar.

[0033] Fig. 7 zeigt eine mögliche Ausführungsform eines erfindungsgemäßen Graben-Kondensators in einer DRAM-Speicherzelle im Querschnitt. Der Graben-Kondensator 1 ist dabei in einem vorzugsweise einkristallinen Silizium-Substrat 100 ausgebildet. Das Substrat ist vorzugsweise schwach p ( $p^-$ ) z. B. mit Bor (B) dotiert. Ein im Silizium-Substrat 100 ausgeführter Graben 101 ist vorzugsweise mit Poly-Silizium 102 ausgefüllt, das z. B. mit Arsen (As) oder Phosphor (P) hoch n ( $n^+$ ) dotiert ist. Dieses Poly-Silizium 102 bildet die innere Elektrode des Graben-Kondensators 1.

[0034] Im Silizium-Substrat 100 ist im unteren Bereich des Grabens 101 um diesen Graben herum eine  $n^+$ -dotierte

Schicht 103 ausgebildet, welche beispielsweise mit As dotiert ist. Diese  $n^+$ -dotierte Schicht 103, im weiteren auch als vergrabene Platte bezeichnet, dient als äußere Elektrode des Graben-Kondensators 1. Zwischen den beiden Elektroden des Graben-Kondensators 1 ist ein Speicher-Dielektrikum 104 angeordnet, das die Kondensatorelektroden trennt. Das Speicher-Dielektrikum 104 kann dabei aus einem Stapel von dielektrischen Schichten, z. B. Oxid, nitrides Oxid oder Oxid-Nitrid-Oxid bestehen. Zwischen dem Speicher-Dielektrikum 104 und der vergrabenen Platte 103 ist weiterhin eine HSG-Silizium-Schicht 105 ausgebildet. Mit dieser HSG-Silizium-Schicht 105 kann die Oberfläche der vergrabenen Platte 103, die als äußere Elektrode des Graben-Kondensators 1 dient, um 25% bis deutlich über 100% im Vergleich zu einer planen Oberfläche abhängig von der Korngröße der HSG-Schicht vergrößert und somit im entsprechenden Umfang auch die Kondensator-Kapazität erhöht werden. In der gezeigten Ausführungsform ist die HSG-Silizium-Schicht zwischen dem Speicher-Dielektrikum 104 und der vergrabenen Platte 103 angeordnet.

[0035] Die HSG-Silizium-Schicht 105 ist vorzugsweise ähnlich wie die vergrabene Platte 103  $n^+$ -dotiert, um zu verhindern, dass eine Verarmungszone im Bereich der HSG-Silizium-Schicht auftritt, die zu einer Verminderung der Kapazität des Graben-Kondensators 1 führen würde. Eine solche Dotierung kann erreicht werden, indem eine Rückdiffusion von Dotieratomen aus der vergrabenen Platte 103 erfolgt, eine Dotierung der HSG-Schicht beim Abscheiden durchgeführt wird oder die HSG-Schicht nach dem Abscheiden nachdotiert wird.

[0036] Der Auswahl-Transistor 2 der DRAM-Zelle in der in Fig. 7 gezeigten Ausführungsform weist zwei Diffusionsbereiche 201, 202 auf, die durch Implantieren von Dotieratomen im Silizium-Substrat 100 erzeugt und durch einen Kanal 203 getrennt werden. Der erste Diffusionsbereich 201 ist über einen Kontakt 204 mit der Bitleitung 6 verbunden. Der zweite Diffusionsbereich 202 ist über eine Kondensator-Anschlussbereich 205 an die Poly-Silizium-Schicht 102, die als innere Elektrode des Graben-Kondensators 1 dient, angeschlossen. Der Kanal 203 ist durch eine Gate-Dielektrikumschicht 206 von der Wortleitung 7 abgetrennt.

[0037] Im oberen Bereich des Grabens 101 ist an das Speicher-Dielektrikum 104 angrenzend eine Isolationsschicht 106 um das Poly-Silizium 102 herum ausgebildet. Die Isolationsschicht 106 verhindert einen Leckstrom zwischen dem Kondensatoranschluss 205 und der vergrabenen Platte 103, die die äußere Elektrode des Graben-Kondensators 1 bildet. Ein solcher Leckstrom würde die Haltezeit der Ladungen im Graben-Kondensator wesentlich verkürzen und damit in ungewünschter Weise die erforderliche Refresh-Frequenz der DRAM-Zelle erhöhen.

[0038] Im Silizium-Substrat 100 ist weiterhin eine  $n$ -dotierte Platte 107 vorgesehen, die als Verbindung der vergrabenen Platte 103 mit den vergrabenen Platten der weiteren DRAM-Speicherzellen dient und mit einem Anschluss von oben gebast wird. Zur Isolation zwischen den DRAM-Zellen ist ein Isolationsgraben 108 (STI-Isolation) ausgebildet. Die Gate-Elektrode bzw. die die Wortleitung 7 ist von der Bitleitung 6 und dem Kontakt 204 zum ersten Diffusionsbereich 201 weiterhin durch eine Oxid-Schicht 208 isoliert.

[0039] Durch die Vergrößerung der Elektrodenoberflächen mit Hilfe der HSG-Silizium-Schicht 105 zwischen dem Speicher-Dielektrikum 104 und der vergrabenen Platte 103, die als äußere Elektrode des Graben-Kondensators 1 dient, wird die Kondensator-Kapazität wesentlich erhöht. Als zusätzliche Maßnahme ist es möglich, den unteren Bereich des Grabens 101 im Bereich der vergrabenen Platte 103 aufzuweiten und so für eine weitere Vergrößerung der

Elektrodenoberfläche zu sorgen. Wichtig bei der HSG-Silizium-Schichtenbildung ist insbesondere, dass diese Schicht nur im Bereich des Grabens ausgebildet wird, jedoch nicht im Bereich des Isolationskragens, der durch die Isolations-schicht 106 gebildet ist, um eine unzuverlässige Verengung dieses oberen Grabenabschnitts zu verhindern und darüber hinaus zu gewährleisten, dass keine ungewünschten Leckstrompfade zwischen den Elektroden des Graben-Kondensators auftreten.

[0040] Zur Ausbildung einer HSG-Silizium-Schicht in einem Graben-Kondensator können dabei verschiedene Techniken angewendet werden, wobei allen Verfahren gemeinsam ist, dass in einem zentralen Schritt des Gesamtprozesses Silizium-Keime gebildet werden, die dann unter geeigneten Prozessbedingungen zu Silizium-Körnern mit einem Durchmesser von ca. 10 bis 100 nm anwachsen. Ein mögliches Verfahren zur Ausbildung der HSG-Silizium-Schicht besteht darin, Silizium bei der Übergangstemperatur vom amorphen zum poly-kristallinen Silizium abzuscheiden, wodurch sich eine HSG-Silizium-Schicht mit Silizium-Körnern bildet. Alternativ kann auch amorphes, d. h. nicht aufgerauhtes Silizium bei einer Temperatur deutlich unterhalb der Übergangstemperatur vom amorphen zum poly-kristallinen Silizium abgeschieden werden, um anschließend durch einen Heizschritt bei einer Temperatur oberhalb der Übergangstemperatur die zunächst glatte amorphe Silizium-Schicht in eine körnige HSG-Silizium-Schicht umzuwandeln. Weiterhin eignet sich ein Bekeimungsschritt dazu, die Umwandlung der amorphen Silizium-Schicht in HSG-Silizium zu bewerkstelligen. Ein nachfolgender Tempersschritt ist optional. Bei dieser Technik besteht die Möglichkeit, eine unstrukturierte HSG-Silizium-Erzeugung oder aber eine ortsselektive HSG-Silizium-Erzeugung durchzuführen.

[0041] Beim unstrukturierten, d. h. nicht ortsselektiven HSG-Verfahren erfolgt nach dem Abscheiden des amorphen Siliziums ein Bekeimen dieser Schicht bei der Übergangstemperatur vom amorphen zum poly-kristallinen Silizium, wodurch Silizium-Kristallkeime aus dem amorphen Silizium entstehen. Gegebenenfalls wird dann diese bekeimte Silizium-Schicht nachgeheizt, um vergrößerte HSG-Silizium-Körner zu erzeugen. Bei der ortsselektiven HSG-Silizium-Erzeugung wird die abgeschiedene amorphe Silizium-Schicht zuerst durch ein nass- oder trockenchemisches Verfahren strukturiert, um dann anschließend bei der Übergangstemperatur bekeimt zu werden, so dass Silizium-Kristallkeime entstehen. Die Prozessparameter zur Bekeimung des Siliziums werden dabei so gewählt, dass sich Kristallkeime nur auf einer Silizium-Unterlage bilden, nicht jedoch z. B. auf Silizium-Oxid oder Silizium-Nitrid. Nach dem Bekeimen der Silizium-Schicht kann dann gegebenenfalls zum Vergrößern der HSG-Körner nachgeheizt werden, so dass die Silizium-Kristallkeime durch Einbau von unverbrauchtem amorphem Silizium anwachsen.

[0042] Gemäß einem weiteren Verfahren besteht auch die Möglichkeit, die HSG-Silizium-Körner durch direkte Nukleation von polykristallinem Silizium bei einer Temperatur weit oberhalb der Übergangstemperatur vom amorphen zum polykristallinen Silizium zu erzeugen, wobei ein Inselwachstum erfolgt.

[0043] Entscheidend bei der Erzeugung der HSG-Silizium-Schicht auf der Elektrodenoberfläche des Graben-Kondensators ist, dass sichergestellt wird, dass sich die Silizium-Körner nur im Bereich dieser Elektrodenoberfläche, d. h. im unteren Bereich des Grabens im Graben-Kondensators ausbilden. Deshalb werden bei einer nicht ortsselektiven HSG-Silizium-Schicht-Erzeugung, bei der die Silizium-Körner sich auf der gesamten Grabenoberfläche festsetzen, die Silizium-Körner im oberen Bereich des Grabens, der

nicht als Speicherbereich dient, nachträglich entfernt oder durch geeignete Verfahren so verändert, dass sich die Silizium-Körner wieder zurückbilden. Zum Entfernen bzw. Zurückbilden der Silizium-Körner wird der untere Bereich des Grabens mit den auf der Oberfläche haftenden HSG-Silizium-Körnern mit Hilfe einer Maskierungsschicht, z. B. einer Fotolackschicht oder einer Poly-Silizium-Schicht, abgedeckt, um eine Beschädigung zu verhindern. Bei der ortsselektiven HSG-Erzeugung auf der Grundlage einer amorphen Silizium Schicht erfolgt die Strukturierung dagegen vor der HSG-Silizium-Erzeugung.

[0044] Im Folgenden werden verschiedene erfindungsgemäße Verfahren zur Herstellung eines Graben-Kondensators mit einer HSG-Silizium-Schicht dargestellt, wobei sich diese Verfahren durch einfache Prozessfolgen, die sich in die bekannten Standard-DRAM-Prozesse integrieren lassen, auszeichnen. Darüber hinaus gewährleisten alle dargestellten Verfahren zur Ausbildung der HSG-Silizium-Schicht im Graben-Kondensator insbesondere auch ein zuverlässiges Entfernen von HSG-Silizium-Körnern im Bereich des Isolationskragens bzw. sorgen für ein zuverlässiges Verhindern der Entstehung solcher Körner in diesem Bereich. Bei den nachfolgend erläuterten Verfahren wird danach unterschieden, ob die Kragenisolation des Graben-Kondensators vor oder nach der HSG-Silizium-Schicht-Erzeugung durchgeführt wird. Weiterhin werden sowohl Verfahren vorgestellt, bei denen die HSG-Silizium-Erzeugung ortsselektiv durchgeführt wird, als auch Verfahren, bei denen die HSG-Silizium-Erzeugung nicht ortsselektiv erfolgt. Alle dargestellten Verfahren werden dabei so ausgeführt, dass die HSG-Erzeugung durch ein Bekeimen einer amorphen Silizium-Schicht erfolgt. Alternativ besteht jedoch auch die Möglichkeit alle anderen oben erläuterten HSG-Erzeugungsverfahren zur Vergrößerung der Elektrodenoberfläche bei Graben-Kondensatoren einzusetzen.

[0045] Fig. 1A bis 1M zeigen ein erstes Verfahren zur Erzeugung eines Graben-Kondensators mit einer HSG-Silizium-Schicht, bei dem die HSG-Abscheidung nicht selektiv erfolgt und die Isolationskragenschicht im oberen Grabenbereich nach der HSG-Silizium-Erzeugung ausgeführt ist.

[0046] Wie in Fig. 1A dargestellt ist, werden mit einem ersten Prozessschritt Gräben für die Graben-Kondensatoren in ein p<sup>-</sup>-dotierte Silizium-Substrat S1 geätzt. Hierzu werden nacheinander eine Oxid-Schicht S2 und eine Nitrid-Schicht S3 auf der Halbleiteroberfläche erzeugt. Anschließend werden mit Hilfe einer zusätzlichen Hartmaske die Bereiche der Graben-Kondensatoren definiert und dann durch eine anisotrope Ätzung die Gräben mit einer Tiefe von ca. 1 bis 10 µm erzeugt.

[0047] Nach der Grabenätzung erfolgt die Ausbildung einer n<sup>+</sup>-dotierten vergrabenen Platte. Hierbei wird zuerst, wie in Fig. 1B gezeigt ist, eine Arsenglas (ASG)-Schicht S4 abgeschieden und anschließend, wie in Fig. 1C dargestellt ist, werden die Gräben mit Poly-Silizium S5 aufgefüllt. Diese Poly-Silizium-Schicht S5 wird dann, wie in Fig. 1D gezeigt ist, so weit zurückgeätzt, dass die Poly-Silizium-Füllung nur noch im unteren Bereich des Grabens, der als Speicher-Kondensator dient, verbleibt. Anschließend wird, wie in Fig. 1E dargestellt ist, das Arsenglas S4 oberhalb der Poly-Silizium-Füllung S5 entfernt. Dann wird eine dünne Nitrid-Schicht S6 zum Verhindern eines Ausdiffundierens von Arsen aus der Arsenglasschicht S4 auf der Scheibenoberfläche abgeschieden. Fig. 1F zeigt einen Querschnitt durch die Silizium-Scheibe nach diesem Prozessschritt. Durch Ausheizen wird dann Arsen aus der Arsenglasschicht S4 in das Silizium-Substrat S1 ausdiffundiert, so dass sich im unteren Bereich der Gräben eine n<sup>+</sup>-dotierte Schicht S7 in Form einer vergrabenen Platte ausbildet, wie dies in Fig. 1G gezeigt ist.



[0048] Es folgt nun eine anisotrope Nitridätzung, um die Nitrid-Schicht S6 von der Poly-Silizium-Oberfläche S5 zu entfernen. Zur Erzeugung der HSG-Silizium-Schicht wird dann in einer Prozessfolge zuerst das restliche Poly-Silizium S5 aus den Gräben wieder entfernt, wie dies in Fig. 1H gezeigt ist, und anschließend eine HSG-Silizium-Schicht S8 auf der gesamten Scheibenoberfläche erzeugt, wobei im wesentlichen alle vorgenannten Verfahren zur HSG-Erzeugung eingesetzt werden können. Ein Querschnitt durch die Silizium-Scheibe mit der HSG-Schicht ist in Fig. 1I dargestellt.

[0049] Um eine Dotierung der HSG-Schicht mit den Silizium-Körnern zu gewährleisten, kann nun durch einen Ausheisschritt ein Rückdiffundieren von Arsen aus der vergrabenen Platte S7 in die HSG-Schicht S8 erfolgen. Ein solcher Heizschritt kann auch zu einem späteren Prozesszeitpunkt durchgeführt werden.

[0050] Alternativ besteht auch die Möglichkeit, die HSG-Schicht bereits während des Erzeugungsvorgangs zu dotieren oder nach der HSG-Schichterzeugung ein Nachdotieren, z. B. durch eine Gasphasendotierung mit Arsen, auszuführen.

[0051] Um die HSG-Schicht S8 aus dem oberen Grabenbereich, der nicht zur Ausbildung der Speicherelektroden dient, zu entfernen, wird, wie in Fig. 1J gezeigt ist, eine Fotolack-Schicht S9 auf der Silizium-Scheibe aufgebracht, die anschließend so zurückgeätzt wird, dass die Lackfüllung S9 nur im unteren Bereich der Gräben im Bereich der vergrabenen Schicht S7 verbleibt. Dann wird mit Hilfe einer Poly-Silizium-Ätzung, wobei vorzugsweise ein Trockenätzverfahren eingesetzt wird, die HSG-Schicht S8 im nicht durch die Lackfüllung S9 maskierten Bereich entfernt. Ein Querschnitt durch die Silizium-Scheibe nach diesem Prozessschritt ist in Fig. 1K gezeigt.

[0052] In einer weiteren Prozessfolge wird dann die Lackfüllung S9 wieder vollständig aus den Gräben entfernt und eine nasschemische Reinigung der Grabenoberfläche durchgeführt. Anschließend wird auf der Scheibenoberfläche das Speicher-Dielektrikum vorzugsweise als ON-(Oxid-Nitrid)-Schicht S10 abgeschieden, wie dies in Fig. 1L gezeigt ist. Nach dem Abscheiden des Speicher-Dielektrikums S10 werden die Gräben mit einer  $n^+$ -dotierten Poly-Silizium S11 aufgefüllt, wie dies in Fig. 1M gezeigt ist, das anschließend wieder, wie in Fig. 1N dargestellt ist, bis zur Unterkante der Nitrid-Schicht S6, die mit dem oberen Ende der vergrabenen Platte S7 zusammenfällt, zurückgeätzt wird. In einem weiteren Ätzschritt wird dann die durch die Poly-Silizium-Füllung S11 nicht maskierte Dielektrikumsschicht S10 so wie die darunterliegende Nitrid-Schicht S6 weggeätzt, um anschließend an den Seitenwänden des oberen Grabenbereichs eine Oxid-Schicht S12 zu erzeugen, die als Grabenisolationsschicht zum Verhindern von Leckpfaden zwischen der äußeren Elektrode und Drain/Buried-Strap-Bereichen des Graben-Kondensators dient.

[0053] Durch das dargestellte Verfahren wird auf einfache Weise eine HSG-Schicht zur Oberflächenvergrößerung der Elektroden im Graben-Kondensator erzeugt und zusätzlich gewährleistet, dass keine Silizium-Körner im oberen Grabenbereich zurückbleiben, die zu ungewünschten Leckströme führen würden. Nach dem in Fig. 1O gezeigten Prozessschritt folgt ein Poly-Silizium-Fill-Prozess. In weiteren Prozessschritten werden dann die Auswahl-Transistoren erzeugt.

[0054] In den Fig. 2A bis 2Q ist ein zweites erfindungsgemäßes Verfahren zur Herstellung einer HSG-Silizium-Schicht dargestellt, bei der ähnlich wie bei dem ersten Verfahren eine nicht selektive HSG-Abscheidung vor der Isolationskragenbildung durchgeführt wird.

[0055] Nach dem in Fig. 2A gezeigten Ätzen der Gräben

in das Silizium Substrat S1, bei dem die Gräben über einen Lithographieschritt mit Hilfe einer Hartmaske in die Oxid-Schicht S2, die Nitrid-Schicht S3 und in das Silizium-Substrat S1 hineingeätzt werden, wird anschließend, wie in Fig. 2B gezeigt ist, die Arsenglas-Schicht S4 abgeschieden. Dann werden, wie in Fig. 2C dargestellt ist, die Gräben mit einer Lackschicht S21 aufgefüllt, die anschließend, wie in Fig. 2D dargestellt ist, zurückgeätzt wird, dass nur der untere Bereich der Arsenglas-Schicht S4 von der Lackschicht S21 abgedeckt bleibt. Nach dem Entfernen der Arsenglas-Schicht S4 im freigelegten oberen Grabenbereich, wie in Fig. 2E dargestellt ist, wird wie in Fig. 2F gezeigt ist, die Lackschicht S21 wieder vollständig entfernt und dann eine Oxid-Schicht S22 auf der Scheibenoberfläche, wie in Fig. 2G dargestellt ist, abgeschieden. Diese Oxid-Schicht S22 dient dazu, ein Ausdiffundieren des Arsens aus der Arsenglas-Schicht S4 zu verhindern.

[0056] Dann wird durch Ausheizen das Arsen aus der Arsenglas-Schicht S4 in das Silizium-Substrat S1 ausgetrieben, so dass die  $n^+$ -dotierte vergrabene Platte S7 entsteht. Anschließend wird, wie in Fig. 2H dargestellt ist, die Oxid-Schicht S22 und das verbleibende Arsenglas S4 wieder vollständig entfernt, um, wie in Fig. 2I dargestellt ist, die HSG-Silizium-Schicht S8 zu erzeugen. In einer nächsten Prozessfolge wird, wie in Fig. 2J und Fig. 2K gezeigt ist, zuerst das Speicher-Dielektrikum S10 abgeschieden, um anschließend die Gräben vollständig mit  $n^+$ -dotiertem Poly-Silizium S11 aufzufüllen. Die Poly-Silizium-Schicht S11 wird, wie in Fig. 2L gezeigt ist, dann bis zur vorgesehenen Unterkante der Kragenisolationsschicht, die im wesentlichen mit der Oberkante der vergrabenen Platte S7 zusammenfällt, zurückgeätzt.

[0057] Um anschließend die HSG-Silizium-Schicht im freigelegten Grabenbereich, der nicht durch die Poly-Silizium-Füllung S11 geschützt ist, zu entfernen, wird in einem ersten Schritt durch Ausheizen ein Planarisieren der HSG-Silizium-Schicht S8 vorgenommen, bei der sich die Silizium-Körner wieder zurückbilden und so eine relativ glatte Oberfläche entsteht. Dieses planarisierte HSG-Silizium lässt sich, wie in Fig. 2N gezeigt ist, dann durch eine nass- oder trockenchemische Ätzung einfach und leicht entfernen. Anschließend wird dann, wie in Fig. 2O gezeigt ist, die Oxid-Schicht S12 abgeschieden, die als Kragenisolationsschicht dient. Diese Oxid-Schicht S12 wird, wie in Fig. 2P dargestellt ist, durch einen Ätzschritt so strukturiert, dass die Oxid-Schicht S12 nur an den Seitenwänden im oberen Grabenbereich stehen bleibt. Anschließend werden dann, wie in Fig. 2Q dargestellt ist, die Gräben wieder vollständig mit  $n^+$ -dotiertem Poly-Silizium S11 aufgefüllt und in darauffolgenden Schritten dann die Auswahl-Transistoren der DRAMs hergestellt.

[0058] Die in Fig. 2A bis 2Q gezeigte Technik zur HSG-Bildung auf der Elektrodenoberfläche der Graben-Kondensatoren sorgt zuverlässig dafür, dass nur im Bereich der Elektrodenoberflächen HSG-Silizium verbleibt. Durch das Planarisieren der zu entfernenden HSG-Schicht im oberen Grabenbereich der Graben-Kondensatoren wird nämlich gewährleistet, dass sich diese ungewünschte HSG-Silizium-Schicht besonders leicht abätzen lässt. Beim Planarisierungsvorgang ist entscheidend, dass der untere Grabenbereich mit der HSG-Schicht, die zur Oberflächenvergrößerung der Elektroden dient, dabei zuverlässig von einer temperaturstabilen Schicht geschützt wird, um eine Beschädigung zu verhindern. Das Planarisieren der Silizium-Körner erfolgt vorzugsweise mit Hilfe eines Hochtemperaturschrittes bei einer Temperatur von ca. 1000° in einer vordefinierten Atmosphäre bei einem Druck von ca. 70 Torr. Statt einem Planarisieren der HSG-Silizium-Schicht kann auch al-

ternativ ein Oxidieren vorgenommen werden, um die HSG-Schicht in  $\text{SiO}_2$  umzuwandeln und dann leicht entfernen zu können.

[0059] Fig. 3A bis 3O zeigen ein weiteres mögliches Verfahren zur Elektrodenoberflächenvergrößerung in einem Graben-Kondensator mit einer HSG-Schicht, wobei hier zusätzlich eine Vergrößerung der Elektrodenoberfläche durch eine Grabenausweitung im unteren Grabenbereich erfolgt und darüber hinaus vor der HSG-Silizium-Bildung die Isolation des Kragenbereiches durchgeführt wird.

[0060] Die in den Fig. 3A bis 3E gezeigte Prozessfolge entspricht dabei den in den Fig. 1A bis 1E gezeigten Prozessschritten. Nach dem Entfernen der Arsenglas-Schicht S4 im oberen Grabenbereich vorzugsweise durch nasschemisches Ätzen wird zur Erzeugung des Isolationskragens vor der HSG-Schicht-Erzeugung aber eine Oxid-Schicht S31 auf der Scheibenoberfläche abgeschieden, wie dies in Fig. 3F gezeigt ist. Anschließend wird durch einen Hochtemperaturschritt das Arsen aus der Arsenglas-Schicht S4 in das umliegende Silizium-Substrat S1 ausgetrieben, um hier die  $n^+$ -dotierte vergrabene Platte S7 zu erzeugen. Dann wird die Oxid-Schicht S31, die beim Ausheizschritt ein Ausdifundieren des Arsens aus der Arsenglas-Schicht S4 verhindert, so zurückgeätzt, dass sie nur als Spacer-Struktur an den Seitenwänden im oberen Grabenbereich zurück bleibt. Ein Querschnitt durch die Halbleiterstruktur nach diesem Prozessschritt ist in Fig. 3G dargestellt.

[0061] Anschließend wird dann die Poly-Silizium-Schicht S5, die als Maskierung des unteren Grabenbereiches zur Ausbildung der Kragenoxid-Schicht S31 gedient hat, so wie das verbleibende Arsenglas S4 wieder entfernt, wie es in Fig. 3H dargestellt ist. Dann wird, wie in Fig. 3I gezeigt ist, der untere Grabenbereich zur Oberflächenvergrößerung der Elektroden durch einen Ätzvorgang vergrößert. In einer nächsten Prozessfolge wird dann über die gesamte Oberfläche der Scheibe eine HSG-Silizium-Schicht S8 erzeugt, wie dies in Fig. 3J dargestellt ist.

[0062] Diese HSG-Silizium-Schicht S8 wird, wie in Fig. 3K gezeigt ist, im unteren Grabenbereich unterhalb der Kragenoxid-Schicht S31 maskiert, wobei die Gräben zuerst mit einer Fotolack-Schicht S32 vollständig aufgefüllt werden, die dann bis zur Unterkante der Kragenoxid-Schicht S31 zurückgeätzt wird. Anschließend wird dann die HSG-Silizium-Schicht S8 im nicht durch die Lackfüllung S32 markierten Bereich wieder entfernt. Hier kann auch die im Zusammenhang mit Fig. 2A bis 2Q dargestellte Technik des Planarisierens und anschließenden Entfernens der HSG-Schicht eingesetzt werden. Allerdings muss dann anstatt der Lackfüllung z. B. eine Poly-Silizium-Füllung verwendet werden. Zudem muss gegebenenfalls das HSG-Silizium zuvor oberflächlich passiviert werden.

[0063] Nach diesem Prozessschritt, der in Fig. 3L gezeigt ist, wird dann in einer Prozessfolge, die in Fig. 3M bis 3O dargestellt ist, die Lackfüllung S32 wieder aus den Gräben entfernt, anschließend die Scheibenoberfläche insbesondere auch im Bereich des HSG-Siliziums S8 gereinigt, um dann eine NO-Abscheidung S10 zur Erzeugung des Speicher-Dielektrikums vorzunehmen. Zur Erzeugung der inneren Elektrode bei Graben-Kondensatoren werden die Gräben weiterhin mit  $n^+$ -dotiertem Poly-Silizium S11 aufgefüllt.

[0064] Fig. 4A bis 4O zeigt eine vierte erfindungsgemäße Prozessabfolge, bei der ein Graben-Kondensator mit einer HSG-Silizium-Schicht auf einem SOI (Silicon-On-Insulator)-Substrat in nicht selektiver Abscheidetechnik hergestellt wird.

[0065] Wie Fig. 4A zeigt, werden die Gräben in eine Scheibenoberfläche geätzt, bei der auf dem Silizium-Substrat S1 eine Schichtenfolge aus einer Oxid-Schicht S41 und

einer Silizium-Schicht S42 angeordnet ist. Wiederum bedecken eine dünne Oxid-Schicht S2 und die Nitrid-Schicht S3 die Oberfläche. Die Grabenätzung erfolgt mit Hilfe einer zusätzlichen, hier nicht abgebildeten Hartmaske. Der obere Grabenbereich in dem die Kragenisolationsschicht ausgebildet wird, ist zusätzlich durch eine dünne Nitrid-Schicht S43 geschützt.

[0066] In weiteren Prozessschritten wird, wie in Fig. 4B bis 4D dargestellt ist, zuerst die Arsenglas-Schicht S4 auf der Scheibenoberfläche abgeschieden und dann die Gräben mit der Poly-Silizium-Schicht S5 aufgefüllt. Anschließend wird, um die vergrabene Platte S7 auszubilden, Arsen durch einen Hochtemperaturschritt in das umliegende Silizium-Substrat S1 ausgetrieben. Als Maskierung zum Verhindern einer Arsendotierung im oberen Grabenbereiches dient dabei die dünne Nitrid-Schicht S43. Ein Querschnitt durch die Scheibenoberfläche nach diesem Prozessschritt ist in Fig. 4D gezeigt.

[0067] Anschließend wird, wie in Fig. 4E dargestellt ist, die Poly-Silizium Schicht S5 wieder aus den Gräben vollständig entfernt, um dann vorzugsweise durch nasschemisches Ätzen den unteren Grabenbereich unterhalb der Nitrid-Schicht S43 auszuweiten, wie dies in Fig. 4F dargestellt ist. In weiteren Prozessschritten wird die nicht selektive HSG-Silizium-Abscheidung S8 auf der gesamten Scheibenoberfläche vorgenommen, wie dies in Fig. 4G dargestellt ist, um anschließend die Gräben mit der Lackschicht S9 aufzufüllen, die dann unterhalb der Kante der Oxid-Schicht S41, die den Isolationskragen definiert, zurückgeätzt wird. Die freigelegte HSG-Silizium-Schicht S8 wird anschließend entfernt.

[0068] Nach dem darauffolgenden Entfernen der Lackfüllung S9 aus den Gräben wird die NO-Schicht als Speicher-Dielektrikum S10 auf der Scheibenoberfläche abgeschieden, wie dies in Fig. 4J dargestellt ist, und dann die Gräben mit  $n^+$ -dotierten Poly-Silizium S11, das als innere Elektrode dient, aufgefüllt. Diese Poly-Silizium-Schicht S11 wird bis unterhalb der Oxid-Schicht S2 und der Nitrid-Schicht S3 zurückgeätzt und anschließend das freigelegte Speicher-Dielektrikum S10 und die darunterliegende Nitrid-Schicht S43 an den Seitenwänden des Grabens entfernt. Die Funktion des Kragenoxids aus dem vorangegangenen Ausführungsbeispiel übernimmt hier die vergrabene Oxid-Schicht S41.

[0069] Bei den bisher vorgestellten Verfahren zur Herstellung der HSG-Silizium-Schicht zur Vergrößerung der Elektrodenoberfläche im Graben-Kondensator wurde immer eine nicht selektive Abscheidetechnik eingesetzt, bei der eine nachträgliche Entfernung der HSG-Schicht im Isolationskragenbereich vorgenommen wird.

[0070] Fig. 5A bis 5O zeigen eine fünfte Ausführungsform, bei der eine ortsselektive HSG-Erzeugung im unteren Grabenbereich vorgenommen wird. Das nachstehende Verfahren lässt sich jedoch grundsätzlich auch auf alle vorgenannten Ausführungsbeispiele von Graben-Kondensatoren anwenden. Der dargestellte Prozessablauf ist wesentlich an den im Zusammenhang mit dem zweiten Ausführungsbeispiel dargestellten Prozessablauf angelehnt.

[0071] Nach der in Fig. 5A gezeigten Grabenätzung erfolgt die Arsenglasabscheidung S4 und anschließend ein Auffüllen der Gräben mit der Poly-Silizium-Schicht S5. Diese Poly-Silizium-Schicht S5 wird dann aus dem oberen Bereich der Gräben, in dem die Kragenisolation ausgebildet werden soll, wieder entfernt. Anschließend wird in diesem Bereich auch das Arsenglas S4 vorzugsweise durch ein nasschemisches Ätzen weggeätzt. Diese Prozessfolge ist in Fig. 5A bis 5E gezeigt.

[0072] Wie in Fig. 5F und 5G dargestellt ist, wird dann eine Oxid-Schicht S51 auf der Scheibenoberfläche abge-

schieden und anschließend Arsen aus der Arsenglas-Schicht S4 in das umliegende Silizium-Substrat S1 ausgetrieben, um die vergrabene Platte S7 zu bilden. Dann wird, wie in Fig. 5G dargestellt ist, durch Ätzen die Oxid-Schicht S51 so strukturiert, dass diese nur an den Seitenwänden des Grabens verbleibt. Nach dem anschließenden Entfernen der restlichen Poly-Silizium-Füllung S5 in den Gräben und dem Wegätzen des verbleibenden Arsenglas-Schicht S4 wird zur Vergrößerung der Elektrodenoberfläche der untere Grabenbereich durch einen weiteren Ätzschritt aufgeweitet, wie dies in Fig. 5I dargestellt ist.

[0073] Dann wird auf der gesamten Scheibenoberfläche, insbesondere auch im Grabenbereich, eine dünne amorphe Silizium-Schicht S52 abgeschieden, wie dies in Fig. 5J dargestellt ist. Anschließend werden die Gräben mit der Fotolack-Schicht S9 aufgefüllt, die in einem weiteren Schritt dann bis unterhalb der Kragenoxid-Schicht S51 zurückgeätzt wird. Die Lackfüllung S9 dient zur Maskierung der amorphen Silizium-Schicht S52 im unteren Grabenbereich beim Ätzen der Kragenoxid-Schicht S51, um eine Beschädigung zu verhindern. Die amorphe Silizium-Schicht S52 wird dann im freigelegten oberen Bereich durch ein nass- oder trockenchemisches Ätzen wieder entfernt und anschließend die Lackfüllung S9 aus den Gräben herausgeätzt, so dass diese Gräben wieder komplett freigelegt sind.

[0074] Nach einem Reinigen der Scheibenoberfläche insbesondere auch im unteren Grabenbereich wird die verbliebene amorphe Siliziumfläche S52 bei der Übergangstemperatur vom amorphen zum kristallinen Silizium ortsselektiv bekeimt, so dass Silizium-Kristallkeime entstehen. Falls erforderlich, kann in einen anschließenden Temperschnitt die bekeimte Silizium-Schicht noch weiter in die HSG-Silizium-Schicht S8 umgewandelt werden. Ein Querschnitt durch die Scheibenoberfläche nach diesem Prozessschritt ist in Fig. 5N gezeigt. Der selektive Charakter der HSG-Bildung ist deutlich erkennbar. Nur in dem Bereich, in dem sich zuvor die amorphe Si-Schicht befand, wird HSG gebildet. In einer weiteren Prozessschrittfolge wird dann das Speicher-Dielektrikum S10 abgeschieden und das Auffüllen der Gräben mit  $n^+$ -dotiertem Poly-Silizium S11 zur Erzeugung der inneren Elektrode vorgenommen.

[0075] Mit Hilfe der vorgestellten erfindungsgemäßen Techniken zur Ausbildung von Graben-Kondensatoren in DRAM-Herstellungsprozessen ist es möglich, durch eine aufgerauhte Silizium-Oberfläche auf wenigstens einer der Kondensatoroberflächen die Kapazität des Graben-Kondensators wesentlich zu erhöhen und gleichzeitig zu gewährleisten, dass das aufgerauhte Silizium auch wirklich nur auf der Elektrodenoberfläche innerhalb des Graben-Kondensators, nicht jedoch im Isolationskragenbereich verbleibt. Die dargestellten Verfahren sind doch nicht auf einen DRAM-Herstellungsprozess beschränkt, sondern können bei allen Halbleiterbauteilen mit Graben-Kondensatoren verwendet werden.

[0076] Es liegt weiterhin im Rahmen der Erfindung über die oben genannten Ausführungsbeispiele hinaus, die angegebenen Abmessungen, Konzentrationen, Materialien und Prozesse in geeigneter Weise zu modifizieren, um den erfindungsgemäßen Graben-Kondensator mit HSG-Silizium-Schicht herzustellen. Insbesondere kann dabei auf alle bekannten Prozessabfolgen zur Ausbildung von Graben-Kondensatoren insbesondere im Rahmen von DRAM-Herstellungsprozessen zurückgegriffen werden. Weiterhin besteht die Möglichkeit, den Leitfähigkeitstyp der dotierten Gebiete in der Halbleiterstruktur komplementär auszuführen. Darüber hinaus können die angegebenen Materialien zur Ausbildung der verschiedenen Schichten durch andere in diesem Zusammenhang bekannte Materialien ersetzt werden. Insbe-

sondere können dabei zur Ausbildung des Speicher-Schicht statt einer ON-Schicht auch andere bekannte Dielektrika mit hoher Dielektrizitätskonstante eingesetzt werden. Weiterhin können neben den dargestellten Halbleiterschichten weitere Schichtenfolgen, z. B. zur Ausbildung von Barrieren, um ungewünschte Diffusionen zu verhindern, in die Halbleiterstruktur eingebracht werden. Außerdem können in geeigneter Weise die Selektivitäten und Maskenfolgen in den dargestellten Strukturprozessen abgeändert werden, ohne den Bereich der Erfindung zu verlassen. Anstelle des HSG-Siliziums kann beispielsweise auch HSG-Si<sub>x</sub>Ge<sub>1-x</sub> Verwendung finden.

[0077] Die in der vorstehenden Beschreibung, den Zeichnungen und den Ansprüchen offenbarten Merkmale der Erfindung, können sowohl einzeln als auch in beliebiger Kombination für die Verwirklichung der Erfindung in ihren verschiedenen Ausgestaltungen von Bedeutung sein.

#### Bezugszeichenliste

- 1 Speicher-Kondensator
- 2 Auswahl-Kondensator
- 4 Verbindungsleitung
- 5 Kondensatorplatte
- 6 Bitleitung
- 7 Wortleitung
- 11 erste Kondensatorelektrode
- 12 zweite Kondensatorelektrode
- 21 Source-Elektrode
- 22 aktiver Bereich
- 23 Drain-Elektrode
- 24 Isolatorschicht
- 25 Gate-Elektrode
- 100 Silizium-Substrat
- 101 Kondensatorgraben
- 102 Poly-Silizium-Block
- 103 vergrabene Platte
- 104 Speicher-Dielektrikum
- 105 HSG-Silizium-Schicht
- 106 Isolationskragen
- 107 Plattenverbindungsschicht
- 108 Isolationsgraben
- 201 Diffusionsbereich
- 202 Diffusionsbereich
- 203 Kanal
- 204 Kontaktschicht
- 205 Kondensatoranschlussbereich
- 206 Gate-Dielektrikumsschicht
- 207 Gate-Elektroden-schicht
- 208 Oxid-Schicht
- S1 Silizium-Substrat
- S2 Oxid-Schicht
- S3 Nitrid-Schicht
- S4 Arsenglasschicht
- S5 Poly-Silizium-Schicht
- S6 Nitrid-Schicht
- S7  $n^+$ -dotierte Schicht
- S8 HSG-Silizium-Schicht
- S9 Fotolackschicht
- S10 Speicher-Dielektrikumsschicht
- S11  $n^+$ -dotierte Poly-Silizium-Schicht
- S12 Kragenoxid-Schicht
- S21 Fotolackschicht
- S22 Kragenoxid-Schicht
- S31 Kragenoxid-Schicht
- S32 Fotolackschicht
- S41 Oxid-Schicht
- S42 Silizium-Schicht



S43 Nitrid-Schicht  
 S51 Kragenoxid-Schicht  
 S52 amorphe Silizium-Schicht

## Patentansprüche

1. Graben-Kondensator, insbesondere zur Verwendung in einer Halbleiterspeicherzelle, mit einer im wesentlichen blockförmigen inneren Elektroden-schicht (102), die in einem Bereich eines Grabens (101) in einem Silizium-Substrat (100) angeordnet ist, einer die innere Elektroden-schicht umgebenden dielektrischen Zwischenschicht (104), die auf dem unteren Bereich der Grabenwandung angeordnet ist, und einer die dielektrischen Zwischenschicht umfassenden äußeren Elektroden-schicht (103), die im Silizium-Substrat um den unteren Bereich des Grabens herum ausgebildet ist, wobei im oberen Bereich des Grabens an die dielektrische Zwischenschicht angrenzend ein Isolationskragen (106) vorgesehen ist, und wobei zwischen der dielektrischen Zwischenschicht (104) und der äußeren Elektroden-schicht (103) und/oder der inneren Elektroden-schicht (102) eine Silizium-Schicht (105) mit Silizium-Körnern, die vorzugsweise einen Durchmesser im wesentlichen im Bereich von 10 bis 100 nm aufweisen, angeordnet ist.
2. Graben-Kondensator nach Anspruch 1, wobei der untere Bereich des Grabens mit der dielektrischen Zwischenschicht (104), der inneren und der äußeren Elektroden-schicht (102, 103) und der Silizium-Schicht (105) mit den Silizium-Körnern gegenüber dem oberen Bereich des Grabens aufgeweitet ist.
3. Verfahren zum Herstellen eines Graben-Kondensators, insbesondere zur Verwendung in einer Halbleiterspeicherzelle, mit den Verfahrensschritten:  
 Bereitstellen eines Silizium-Substrats;  
 Bilden eines Grabens im Silizium-Substrat;  
 Ausbilden einer dotierten Schicht im Silizium-Substrat in einem unteren Bereich des Grabens;  
 Ausbilden einer Isolationsschicht in einem oberen Bereich des Grabens;  
 Erzeugen einer aufgerauhten Silizium-Schicht mit Silizium-Körnern, die vorzugsweise einen Durchmesser im Bereich von im wesentlichen 10 bis 100 nm aufweisen, im unteren Bereich des Grabens, an die Isolationsschicht im oberen Bereich des Grabens angrenzend;  
 Aufbringen einer dielektrischen Zwischenschicht auf der aufgerauhten Silizium-Schicht; und  
 Auffüllen des Grabens mit einer dotierten Schicht.
4. Verfahren zum Herstellen eines Graben-Kondensators, insbesondere zur Verwendung in einer Halbleiterspeicherzelle, mit den Verfahrensschritten:  
 Bereitstellen eines Silizium-Substrats;  
 Bilden eines Grabens im Silizium-Substrat;  
 Ausbilden einer dotierten Schicht im Silizium-Substrat um einen unteren Bereich des Grabens herum;  
 Erzeugen einer aufgerauhten Silizium-Schicht mit Silizium-Körnern, die vorzugsweise einen Durchmesser im Bereich von im wesentlichen 10 bis 100 nm aufweisen, im unteren Bereich des Grabens;  
 Aufbringen einer dielektrischen Zwischenschicht auf der aufgerauhten Silizium-Schicht;  
 Ausbilden einer Isolationsschicht in einem oberen Bereich des Grabens, an die aufgerauhte Silizium-Schicht im unteren Bereich des Grabens angrenzend; und  
 Auffüllen des Grabens mit einer dotierten Schicht.
5. Verfahren nach Anspruch 3 oder 4, wobei die aufgerauhte Silizium-Schicht auf der gesamten Grabenober-

fläche erzeugt, anschließend der untere Bereich der aufgerauhten Silizium-Schicht im Graben maskiert und dann die aufgerauhte Silizium-Schicht im oberen Bereich des Grabens entfernt wird.

6. Verfahren nach Anspruch 5, wobei nach dem Maskieren der aufgerauhten Silizium-Schicht im unteren Grabenbereich ein Planarisieren der aufgerauhten Silizium-Schicht im oberen Grabenbereich vor dem Entfernen dieser Schicht erfolgt.
7. Verfahren nach Anspruch 6, wobei das Planarisieren der aufgerauhten Silizium-Schicht durch einen Hochtemperaturschritt erfolgt, wobei die aufgerauhte Silizium-Schicht im unteren Grabenbereich durch eine temperaturstabile Schicht maskiert ist.
8. Verfahren nach Anspruch 5, wobei nach dem Maskieren der aufgerauhten Silizium-Schicht im unteren Grabenbereich ein Oxidieren der aufgerauhten Silizium-Schicht im oberen Grabenbereich vor dem Entfernen dieser Schicht erfolgt.
9. Verfahren nach einem der Ansprüche 3 bis 8, wobei zum Ausbilden der aufgerauhten Silizium-Schicht zunächst Silizium-Kristallkeime gebildet werden, die dann unter geeigneten Prozessbedingungen zu Silizium-Körnern mit einem Durchmesser von im wesentlichen 10 bis 100 nm anwachsen.
10. Verfahren nach Anspruch 9, wobei zum Ausbilden der aufgerauhten Silizium-Schicht Silizium bei der Übergangstemperatur vom amorphen zum polykristallinen Silizium abgeschieden wird.
11. Verfahren nach Anspruch 10, wobei zum Ausbilden der aufgerauhten Silizium-Schicht im wesentlichen glattes amorphes Silizium bei einer Temperatur deutlich unterhalb der Übergangstemperatur vom amorphen zu polykristallinem Silizium abgeschieden wird und anschließend durch einen Heizschritt bei einer Temperatur in der Nähe oder oberhalb der Übergangstemperatur die im wesentlichen glatte Silizium-Schicht in die aufgerauhte Silizium-Schicht umgewandelt wird.
12. Verfahren nach Anspruch 11, wobei ein Abscheiden der amorphen Silizium-Schicht auf der gesamten Grabenoberfläche erfolgt, anschließend ein Bekeimen der amorphen Silizium-Schicht zum Ausbilden von Silizium-Körnern durchgeführt wird und dann die aufgerauhte Silizium-Schicht im oberen Grabenbereich entfernt wird.
13. Verfahren nach Anspruch 11, wobei die amorphe Silizium-Schicht auf der gesamten Grabenoberfläche abgeschieden wird, dann die amorphe Silizium-Schicht durch ein Ätzverfahren so strukturiert wird, dass die amorphe Silizium-Schicht auf den unteren Grabenbereich begrenzt ist, und anschließend die amorphe Silizium-Schicht selektiv bekeimt wird, um Silizium-Körner zu bilden.

---

Hierzu 28 Seite(n) Zeichnungen

---

- Leerseite -

FIG 1A

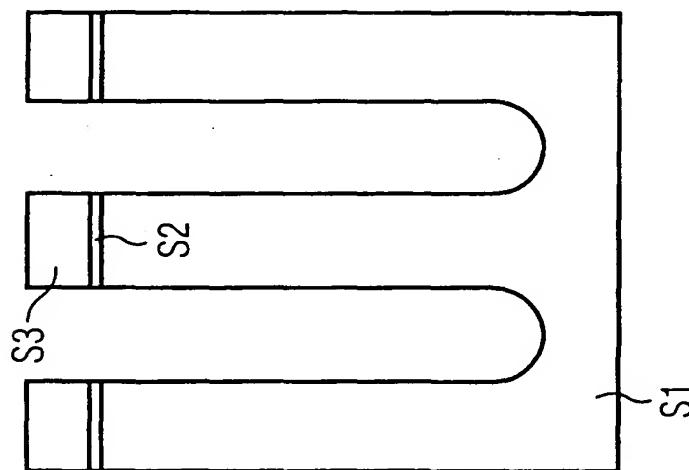


FIG 1B

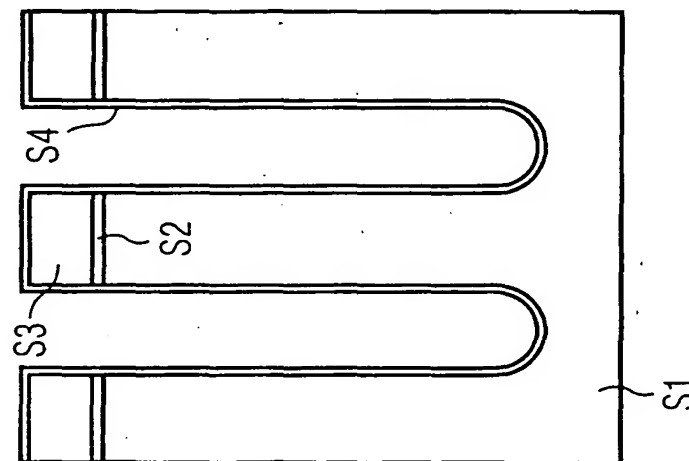


FIG 1C

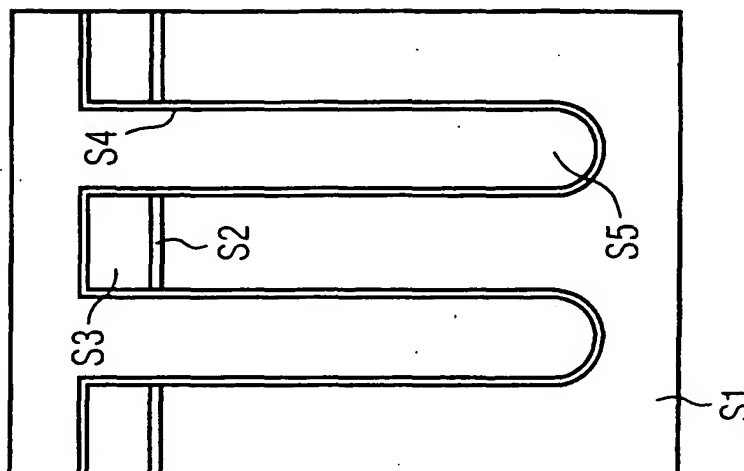


FIG 1D

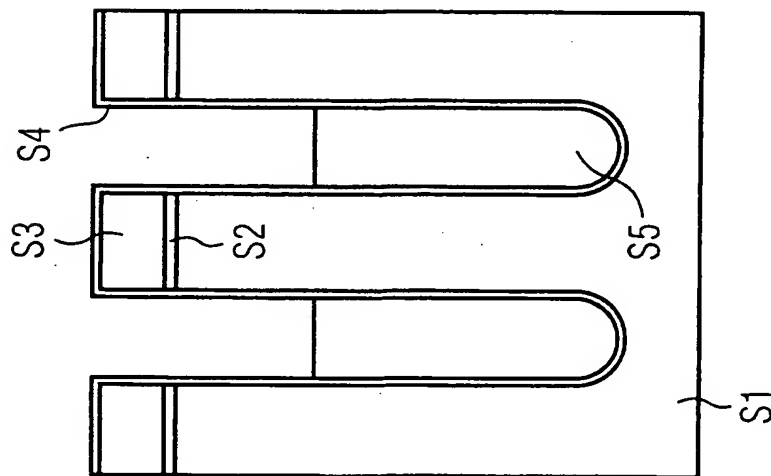


FIG 1E

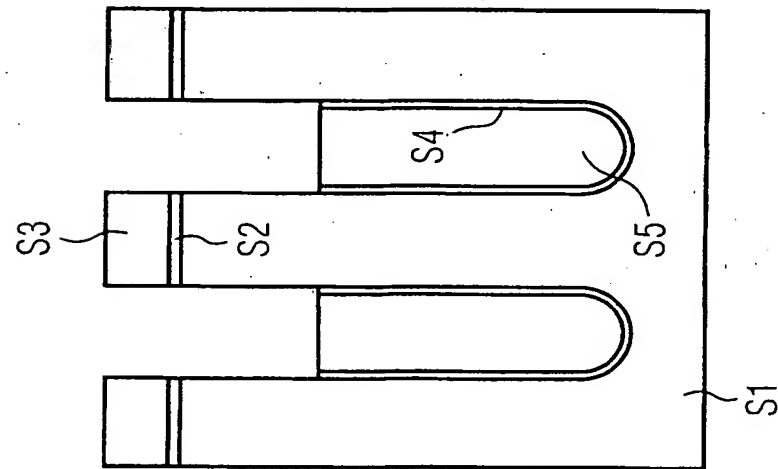


FIG 1F

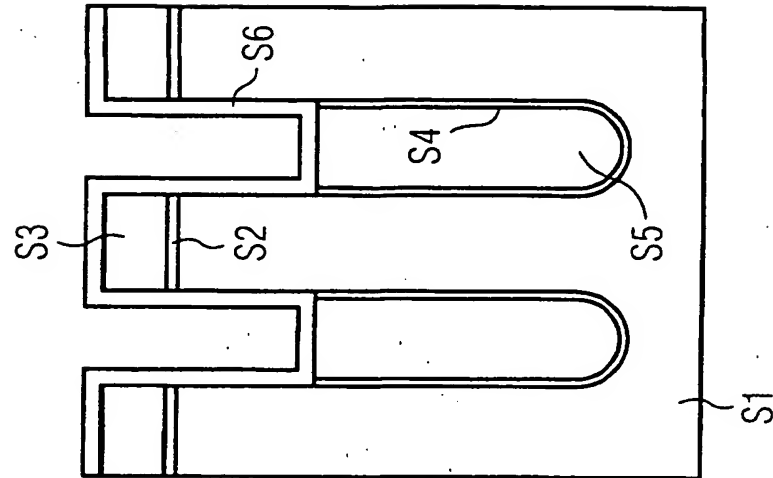


FIG 1G

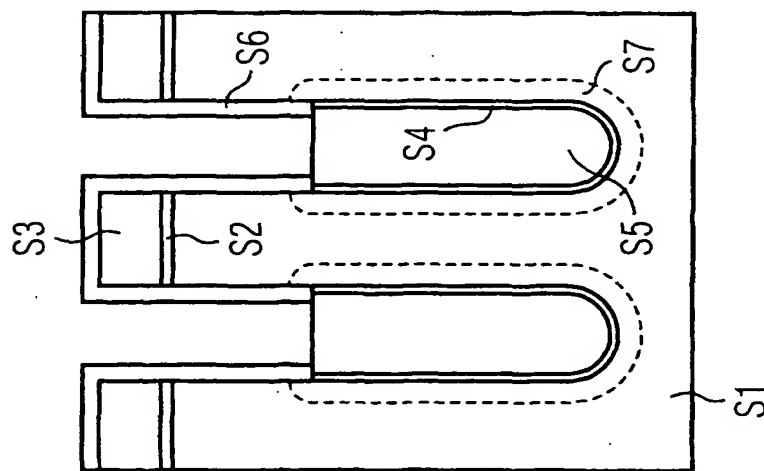


FIG 1H

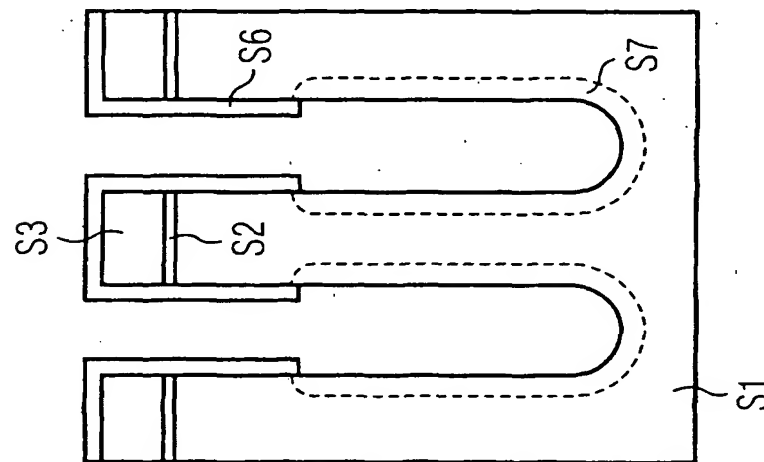


FIG 1I

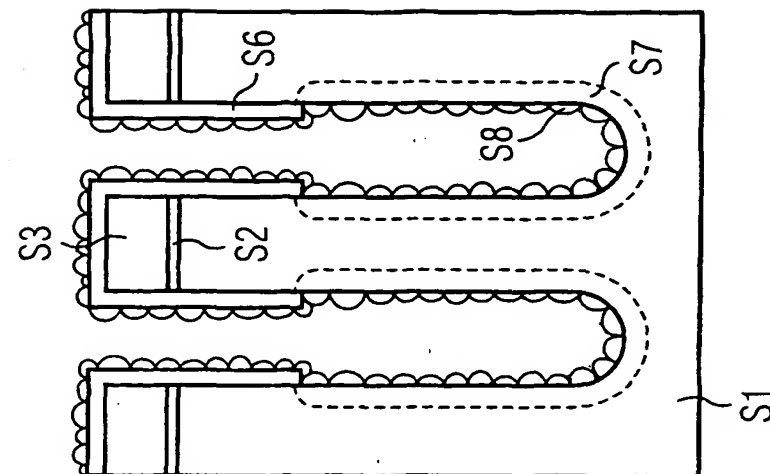


FIG 1L

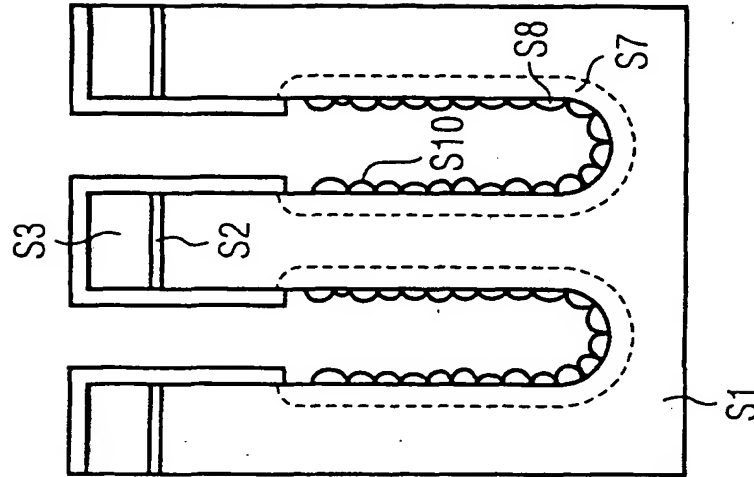


FIG 1K

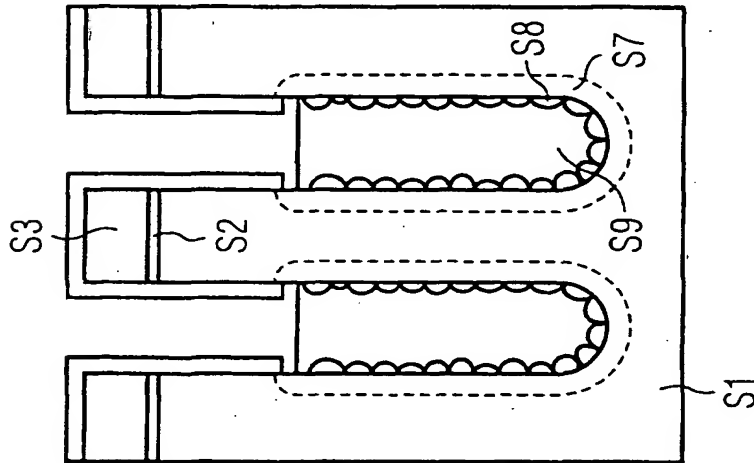


FIG 1J

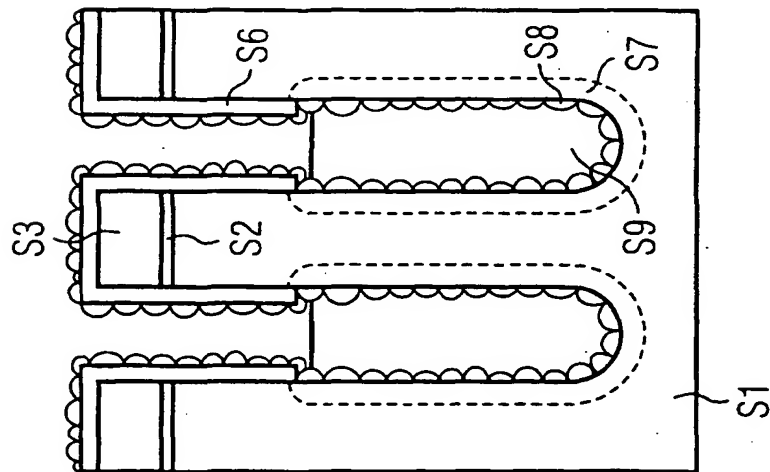


FIG 10

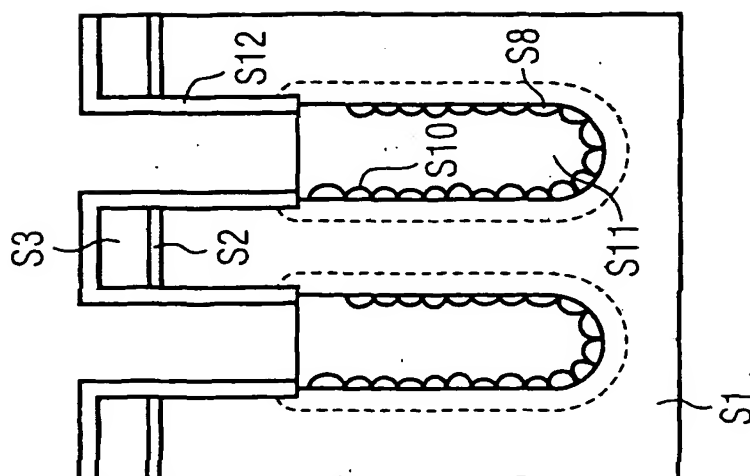


FIG 1N

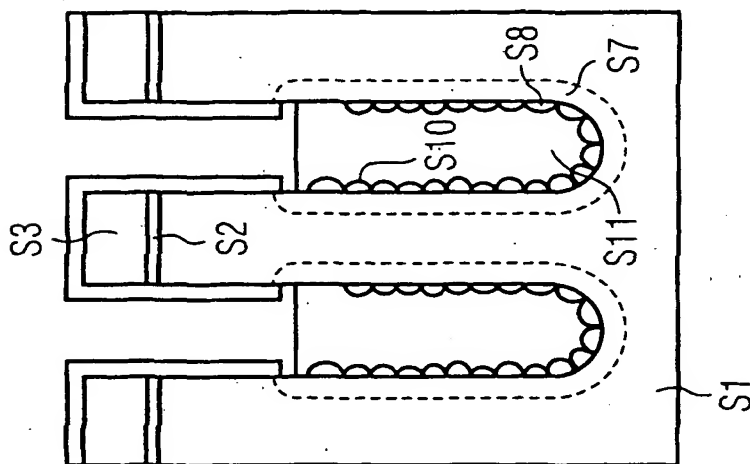


FIG 1M

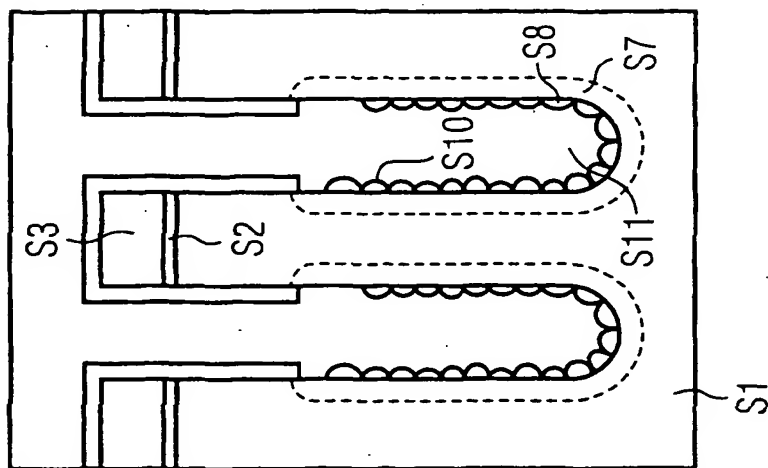


FIG 2A

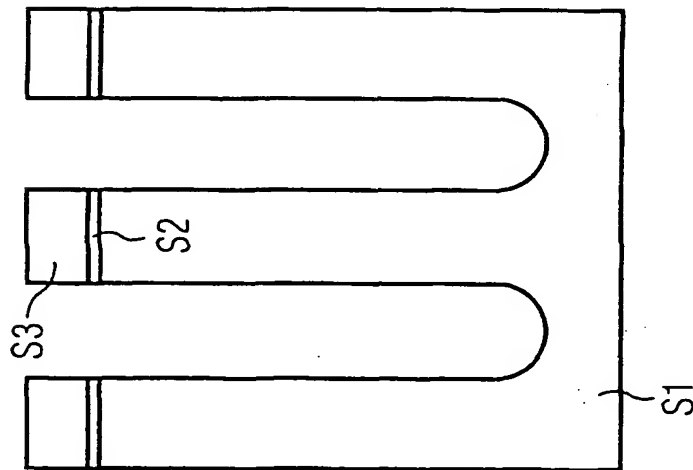


FIG 2B

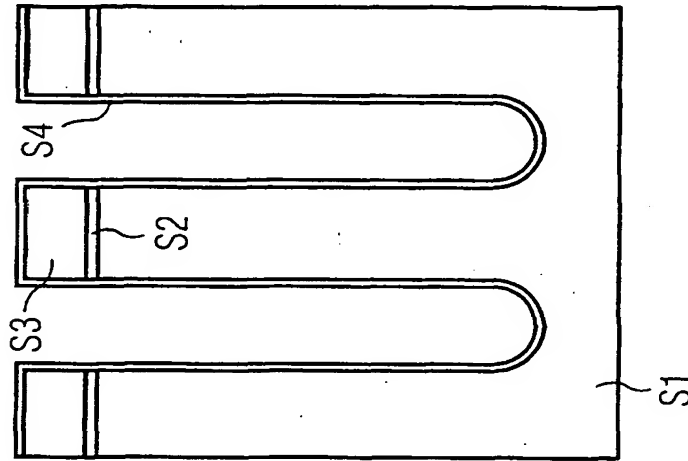


FIG 2C

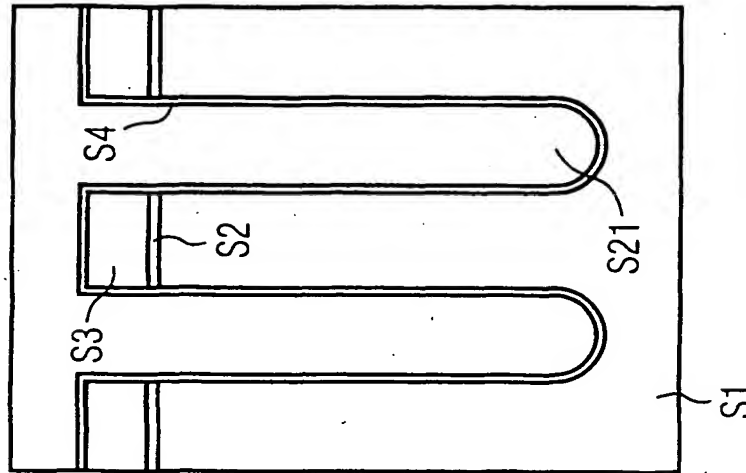




FIG 2D

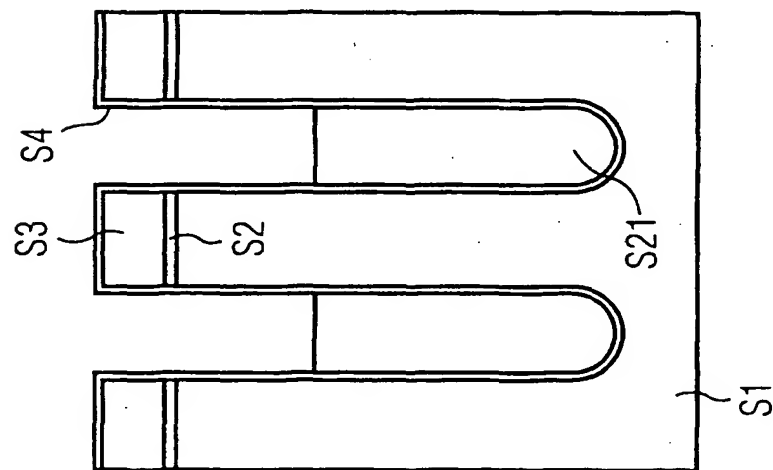


FIG 2E

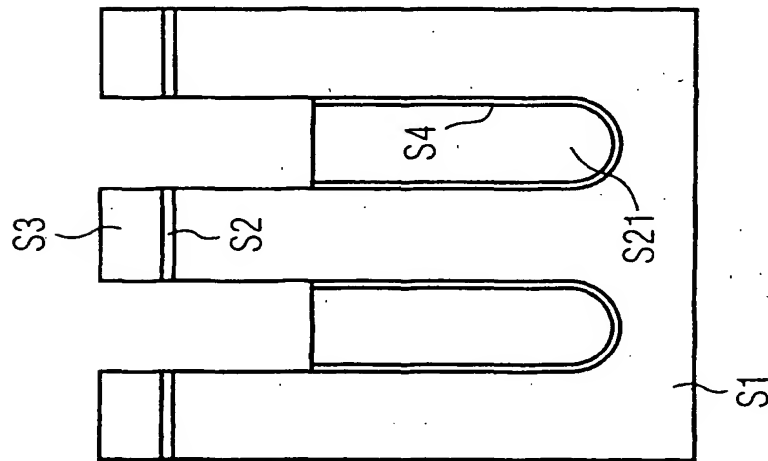


FIG 2F

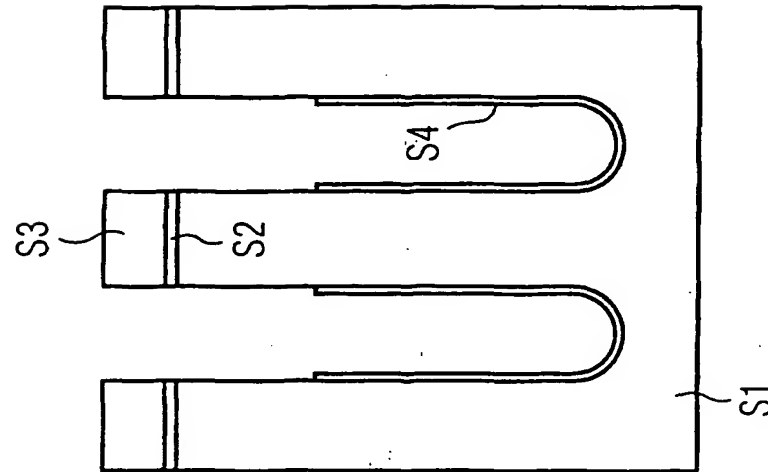


FIG 2I

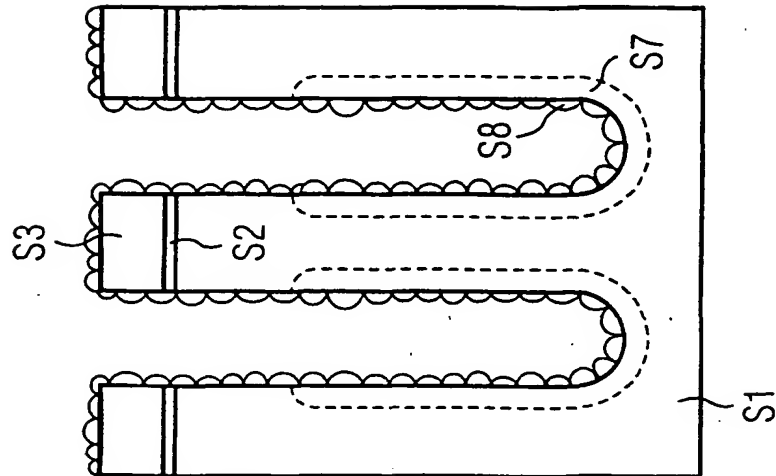


FIG 2H

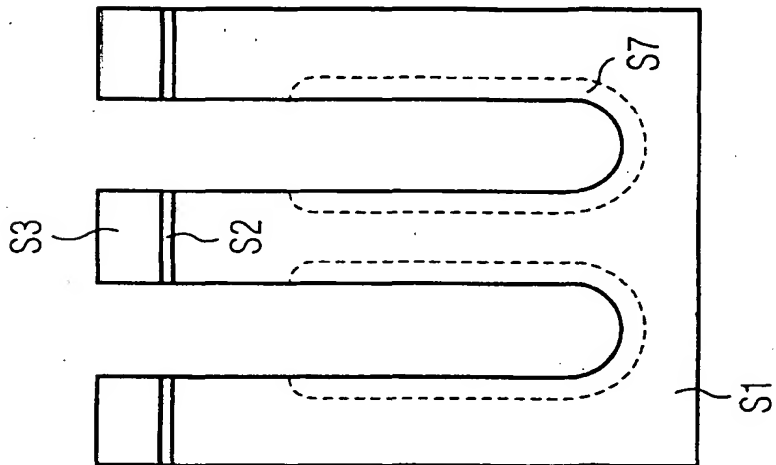


FIG 2G

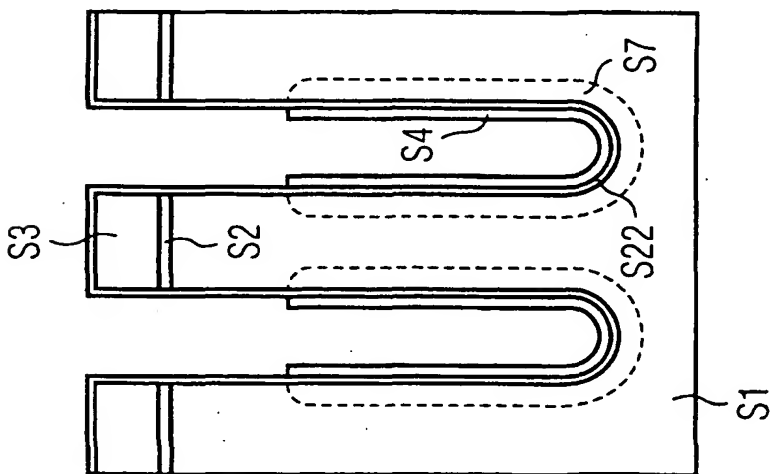


FIG 2L

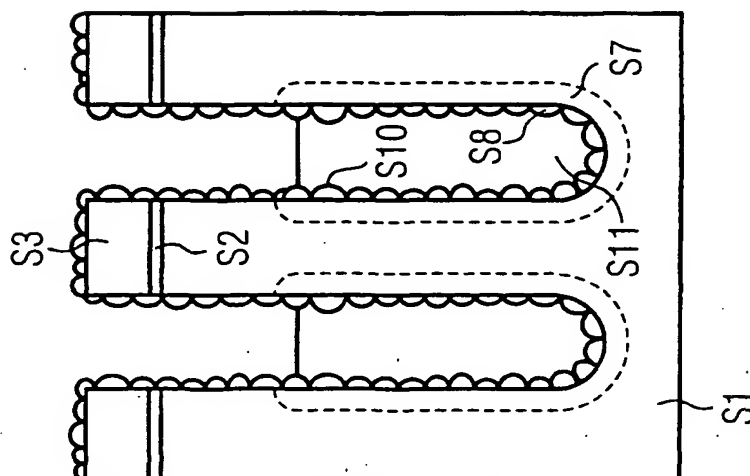


FIG 2K

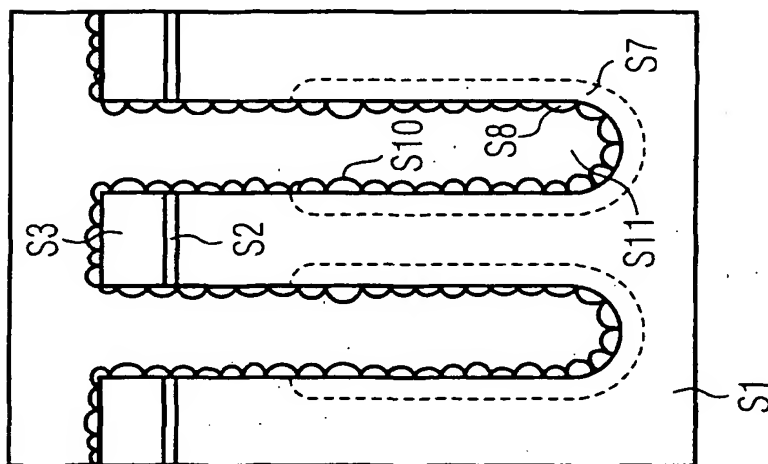


FIG 2J

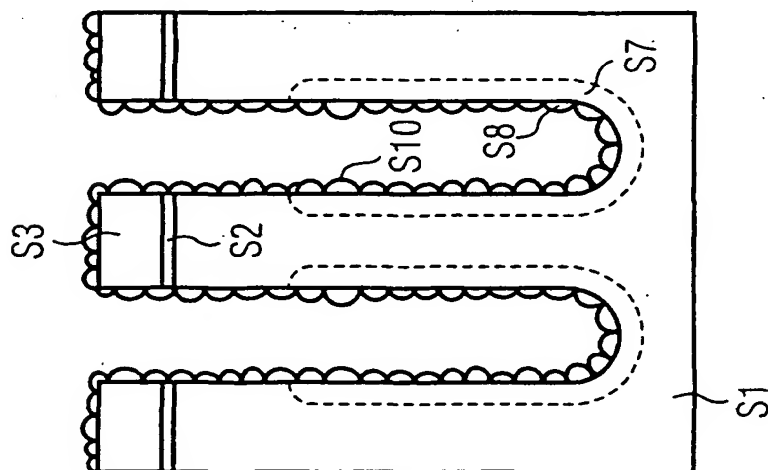


FIG 20

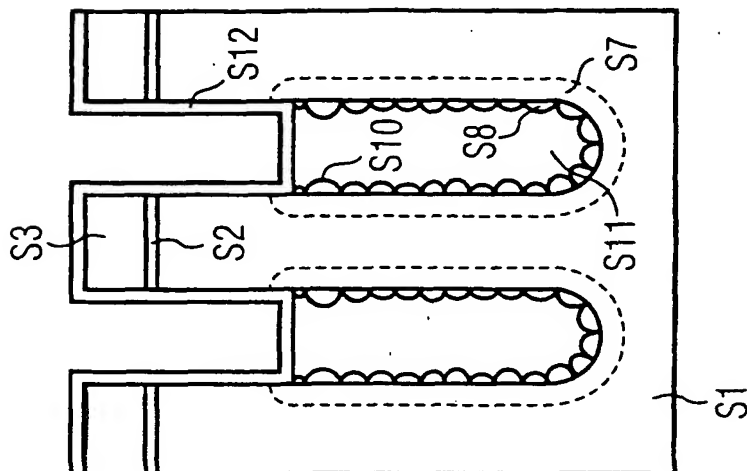


FIG 2N

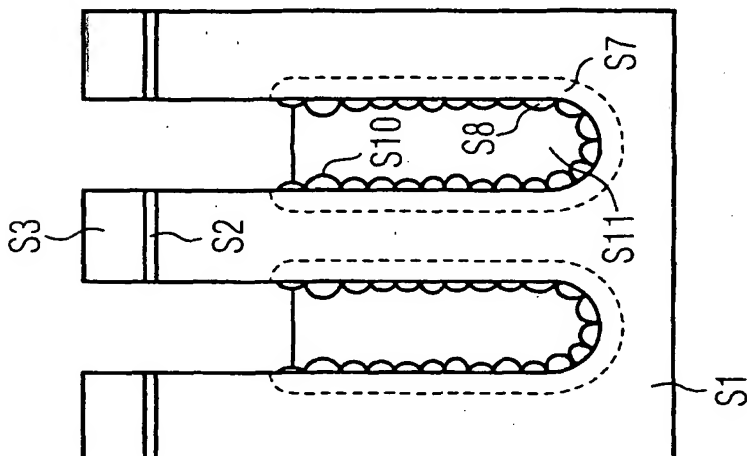


FIG 2M

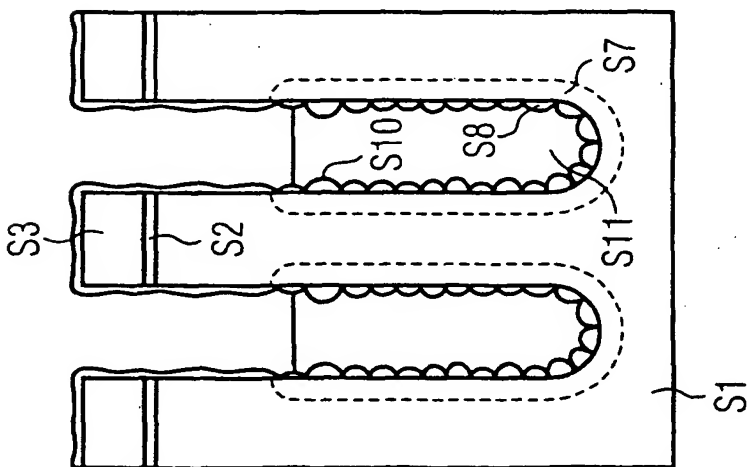


FIG 2Q

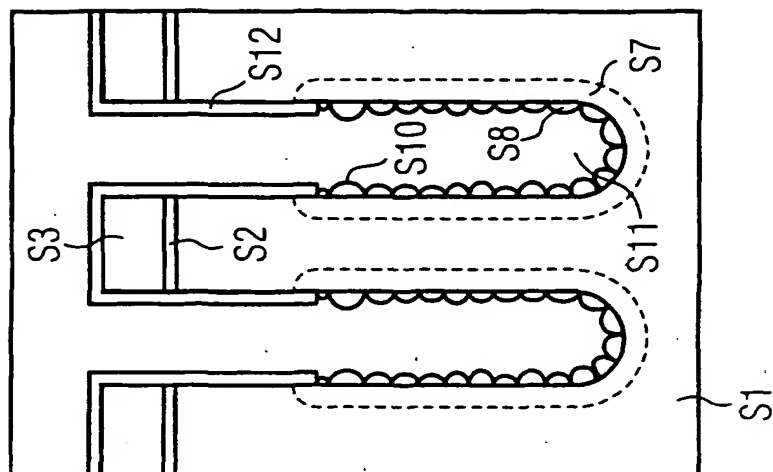


FIG 2P

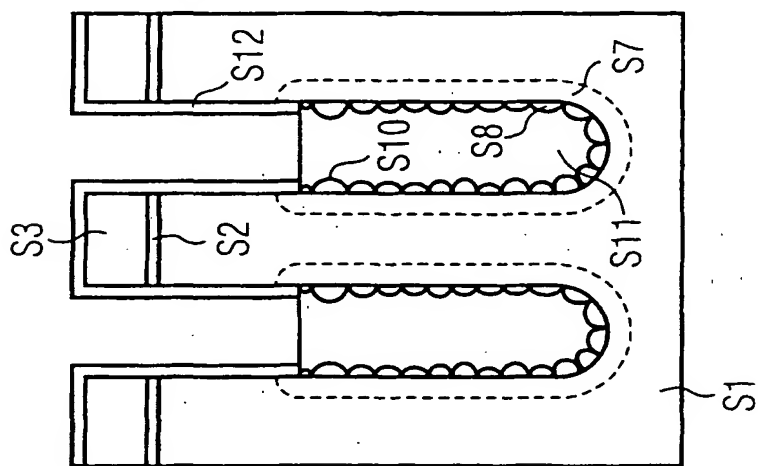


FIG 3A

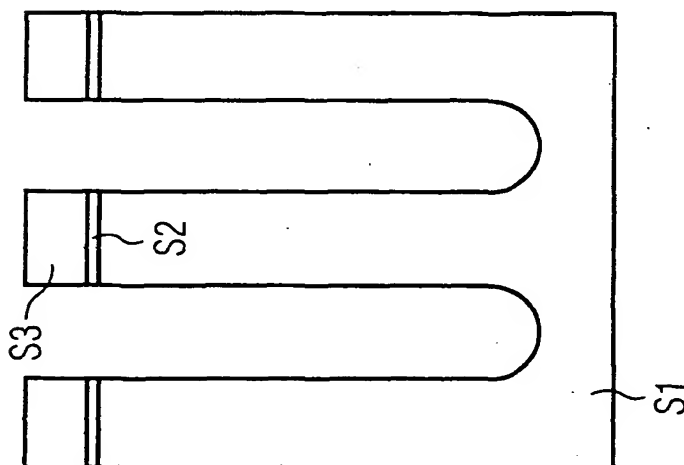


FIG 3B

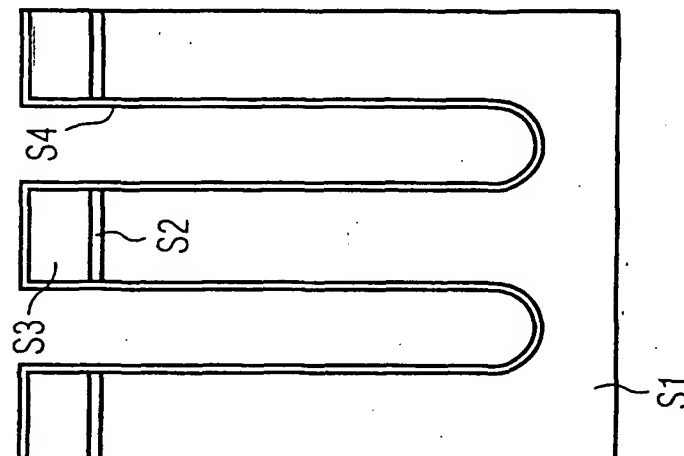


FIG 3C

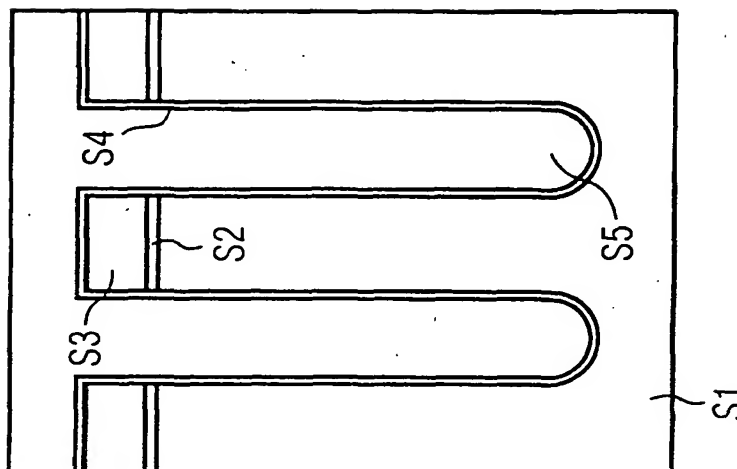


FIG 3D

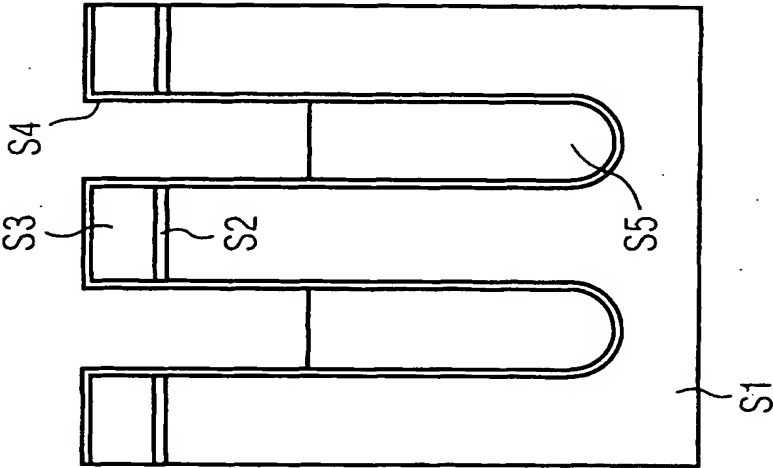


FIG 3E

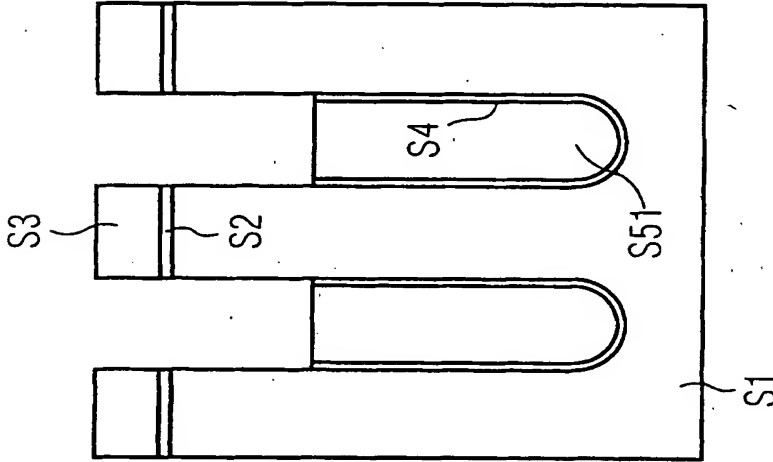


FIG 3F

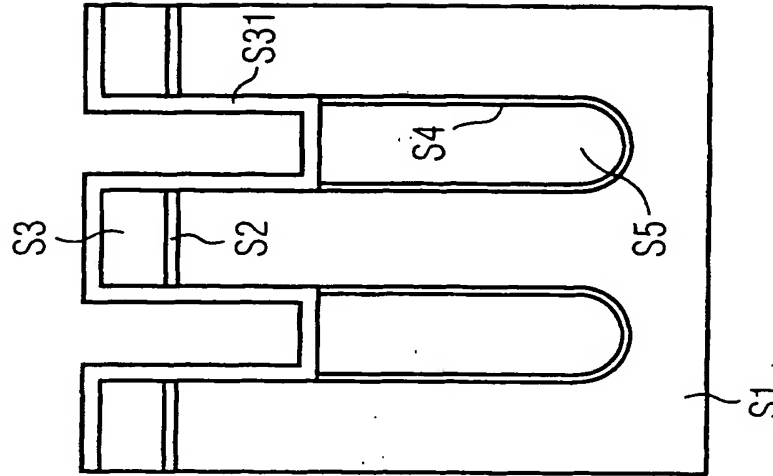


FIG 3G

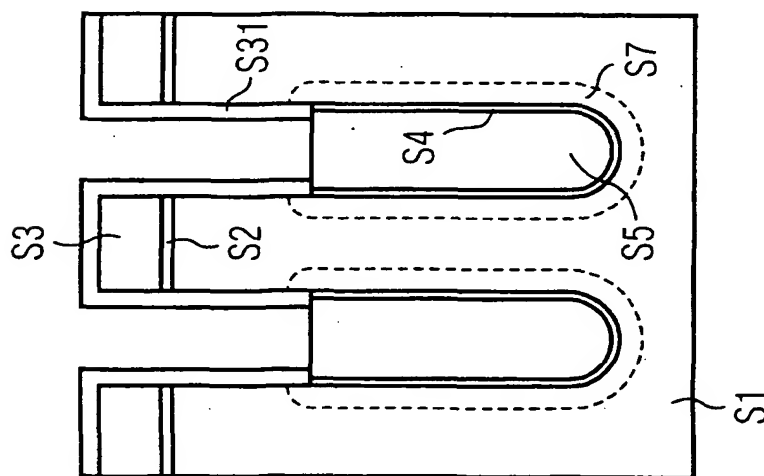


FIG 3H

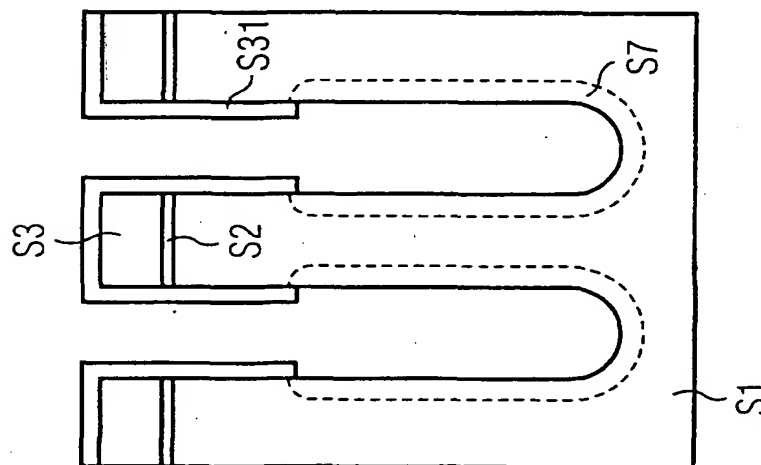


FIG 3I

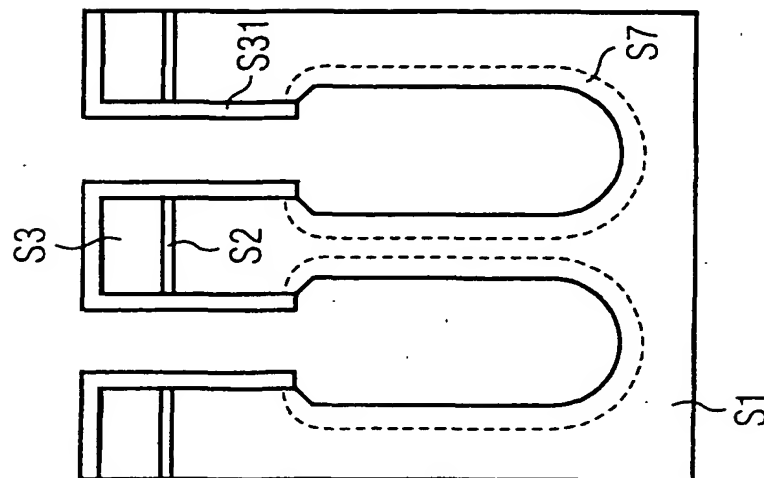




FIG 3J

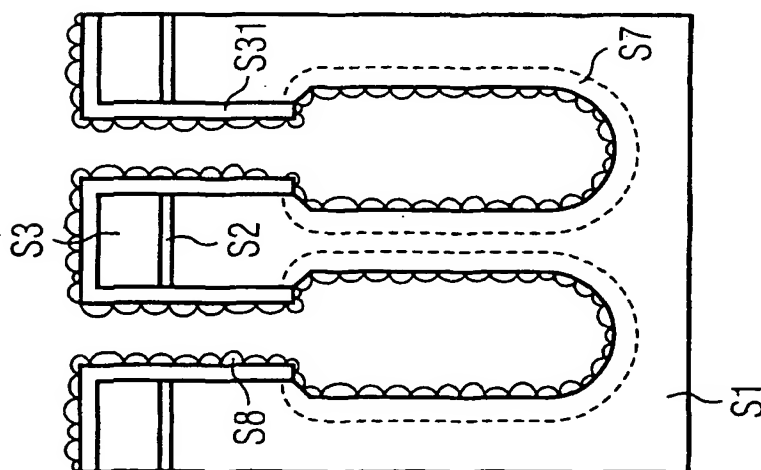


FIG 3K

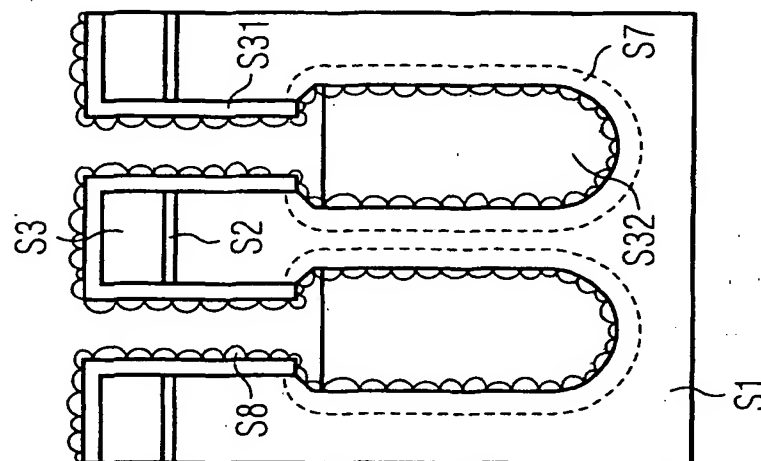


FIG 3L

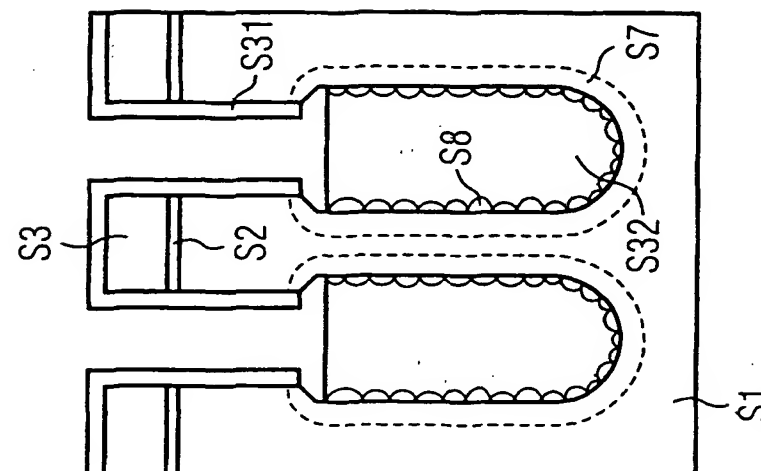


FIG 30

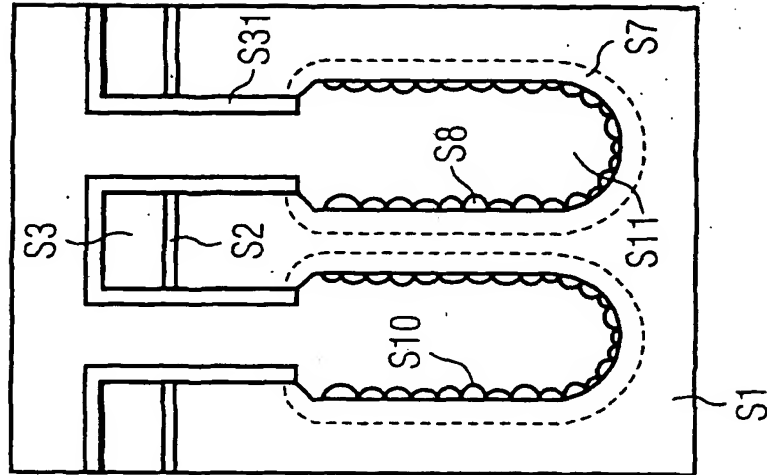


FIG 3N

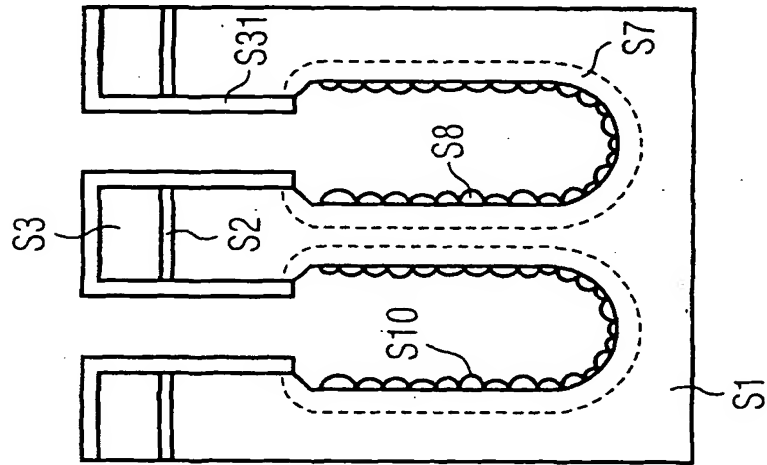


FIG 3M

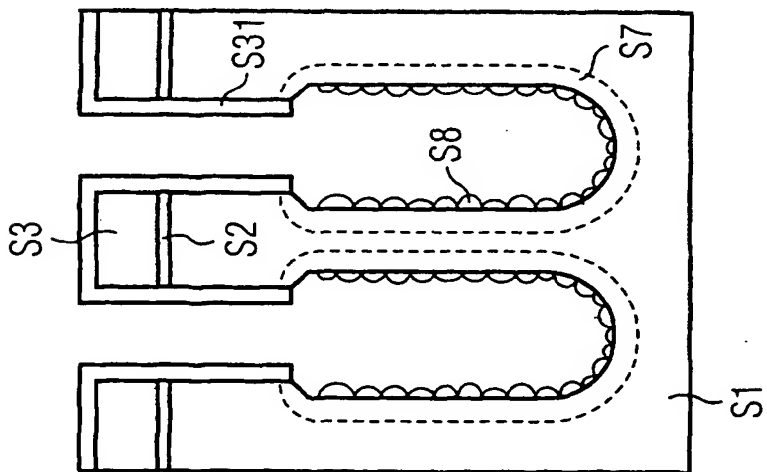


FIG 4C

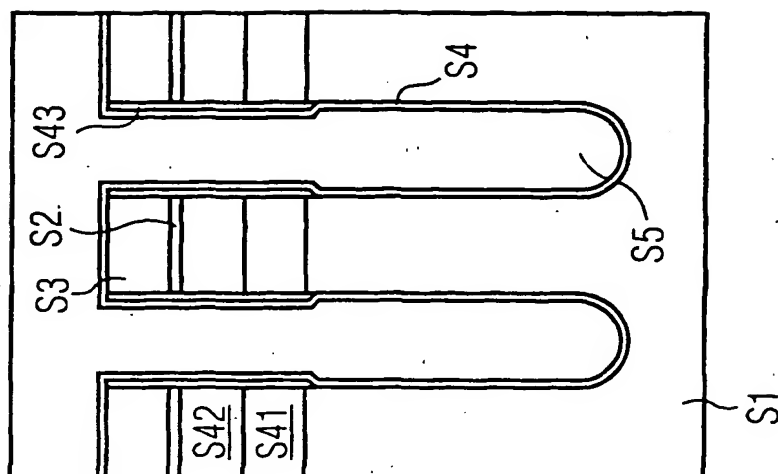


FIG 4B

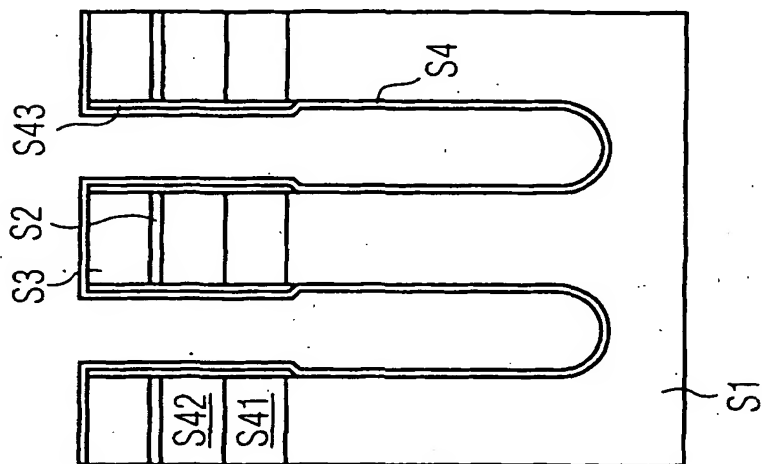


FIG 4A

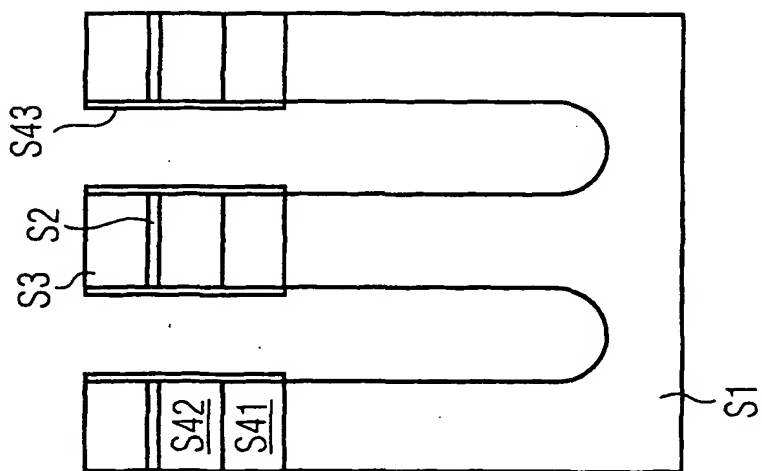


FIG 4D

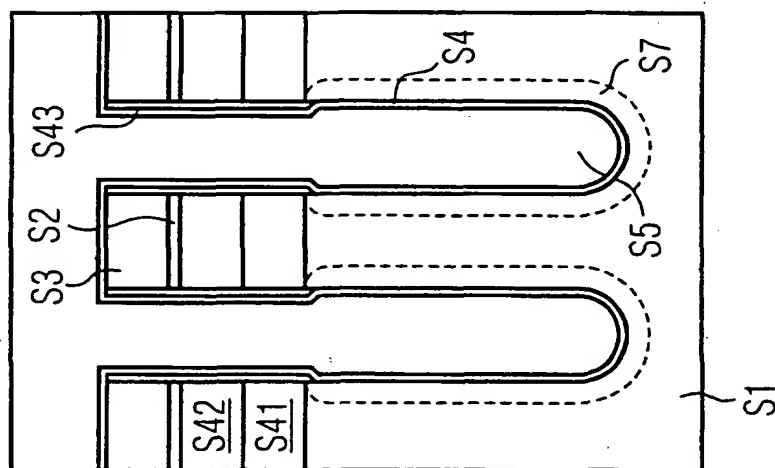


FIG 4E

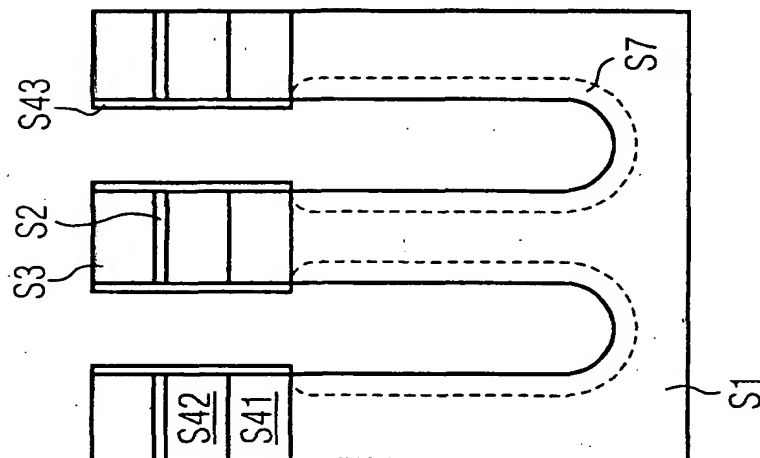


FIG 4F

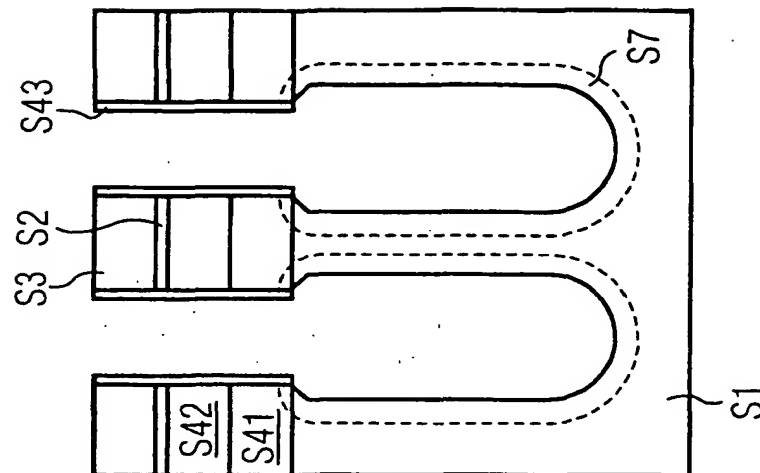


FIG 4I

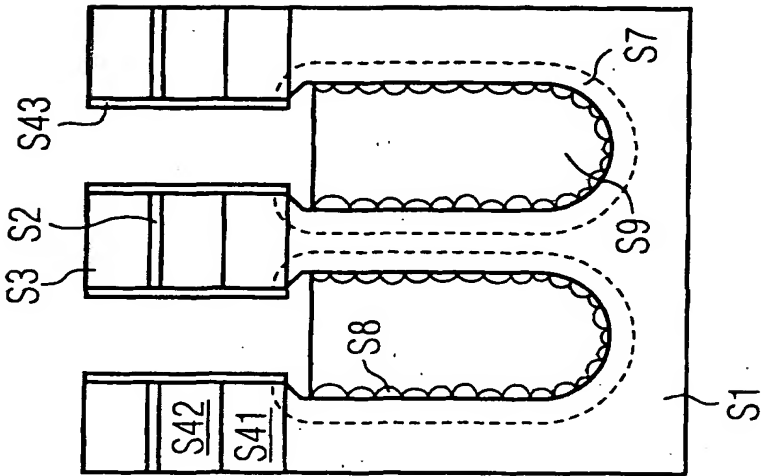


FIG 4H

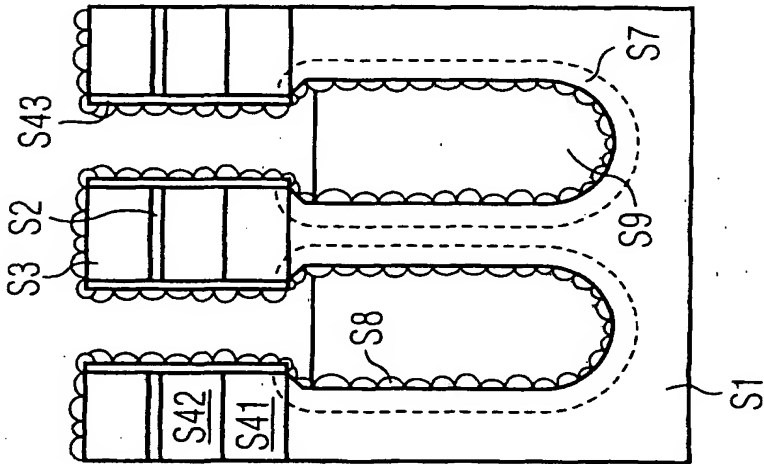
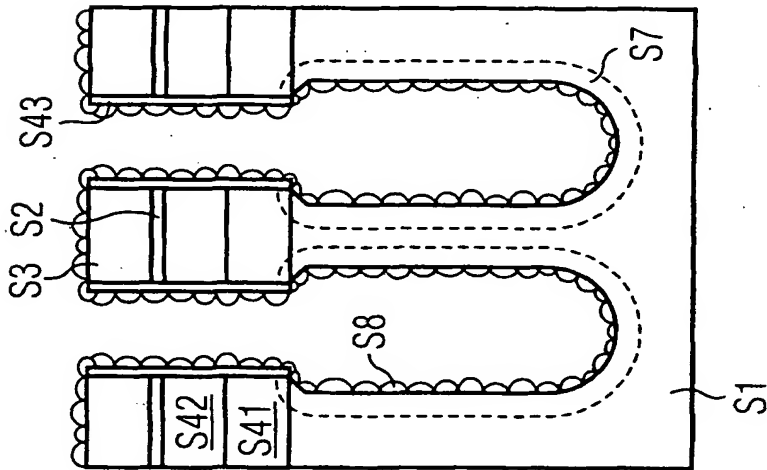


FIG 4G



**FIG 4J**

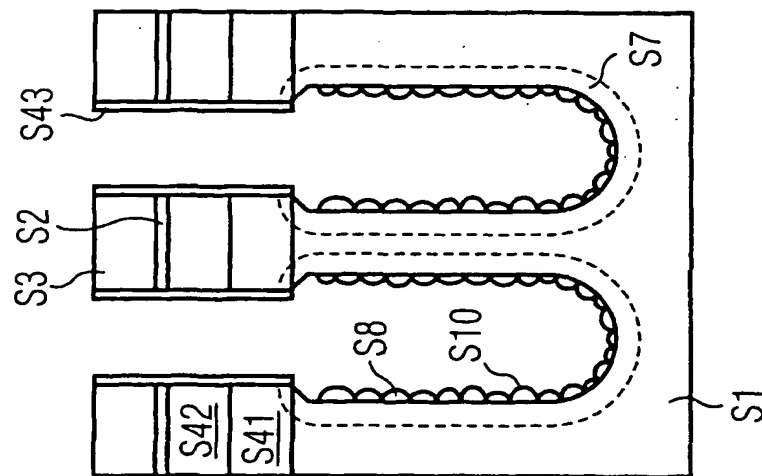


FIG 4K

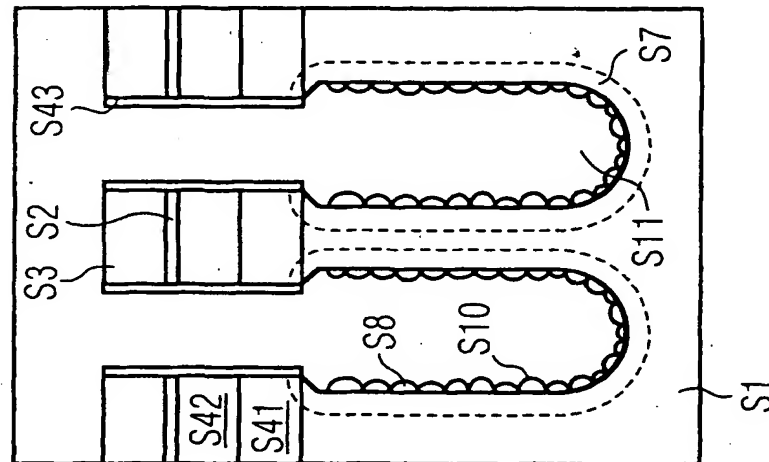


FIG 4L

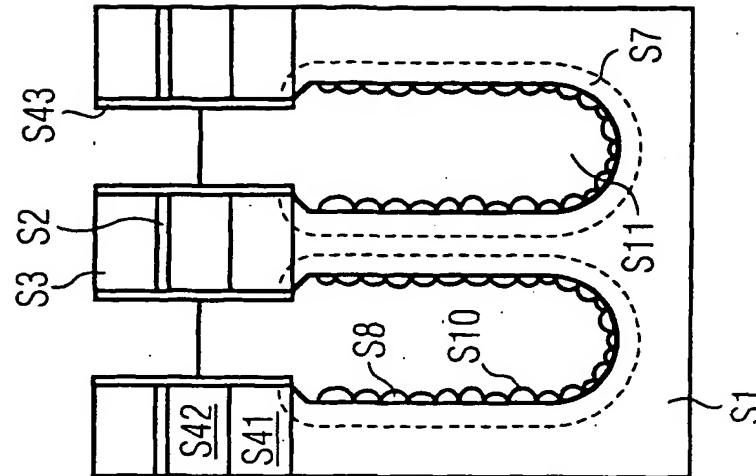


FIG 4M

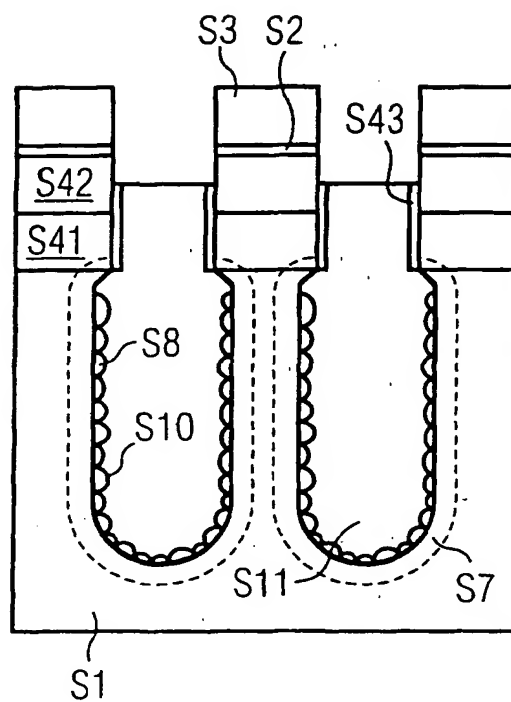


FIG 5A

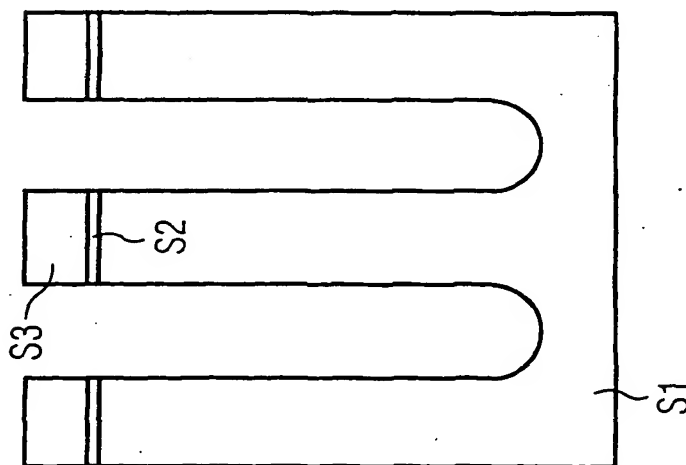


FIG 5B

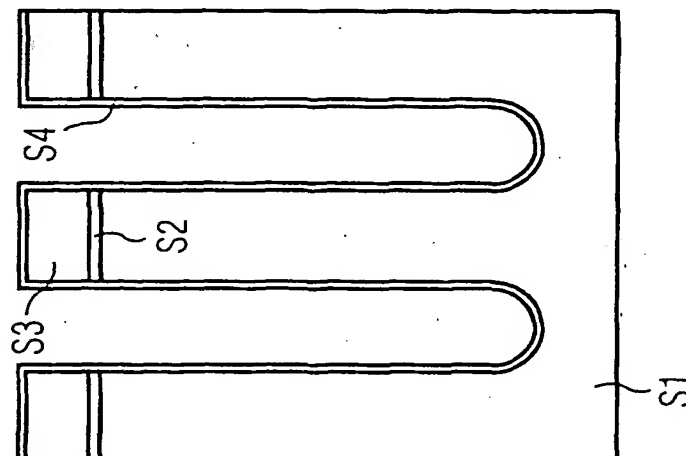


FIG 5C

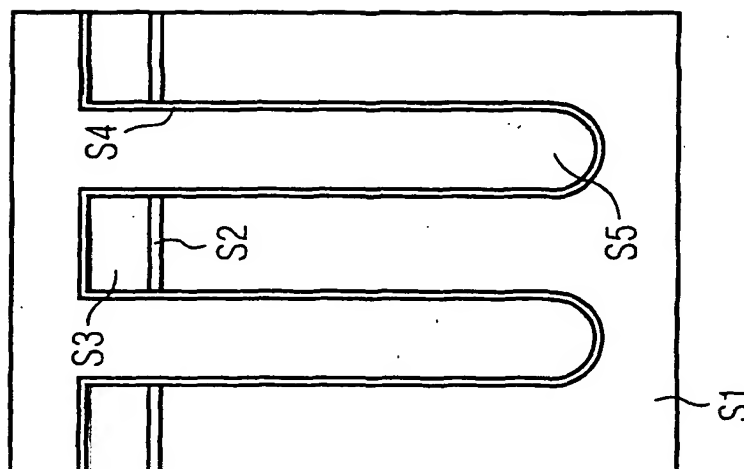




FIG 5D

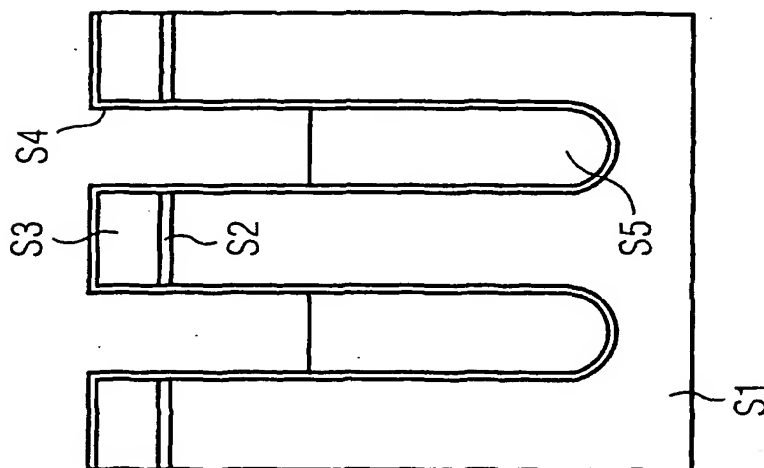


FIG 5E

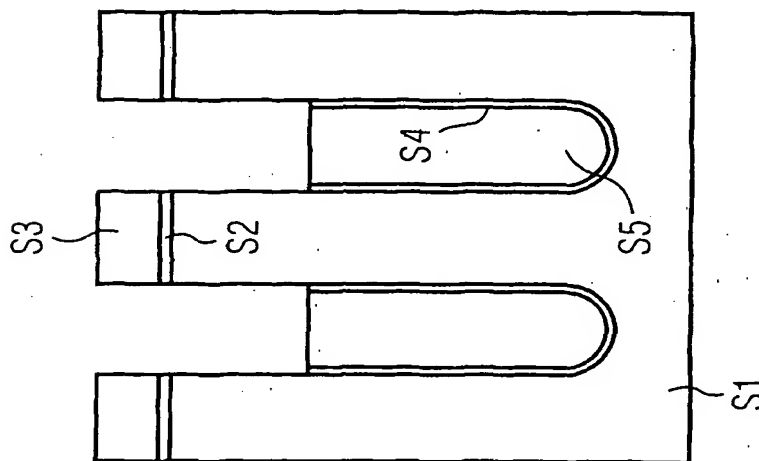


FIG 5F

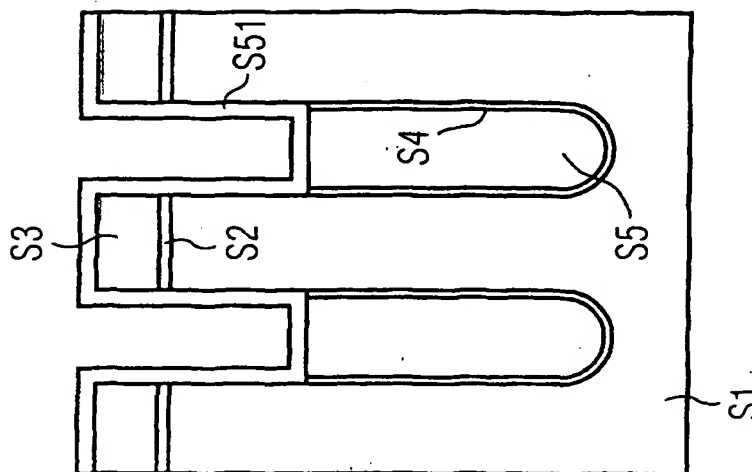


FIG 5G

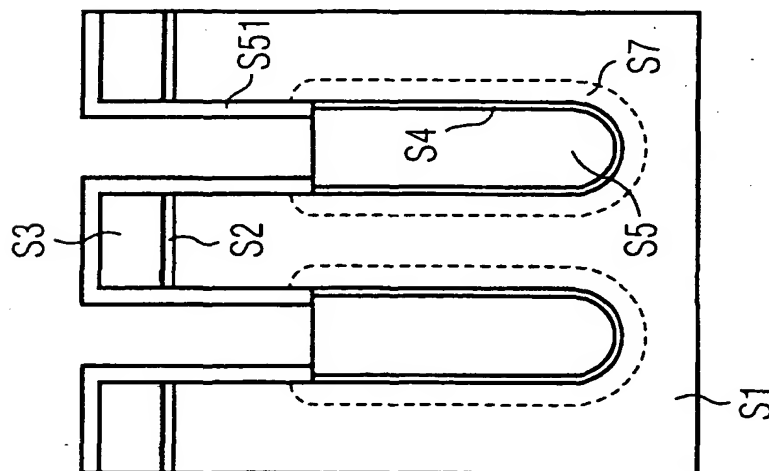


FIG 5H

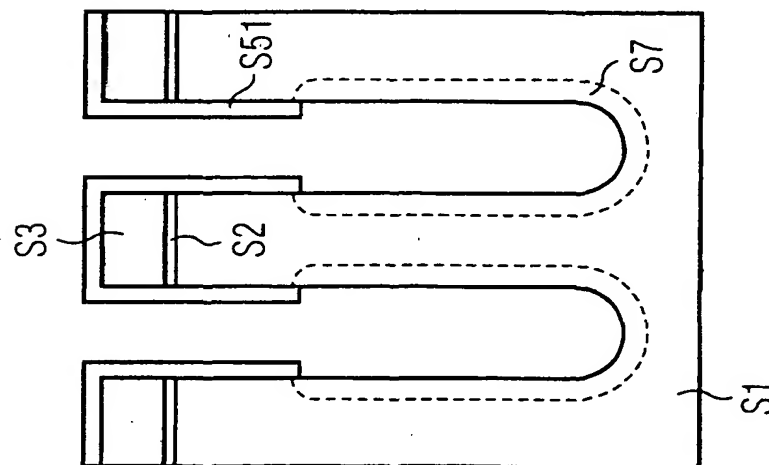


FIG 5I

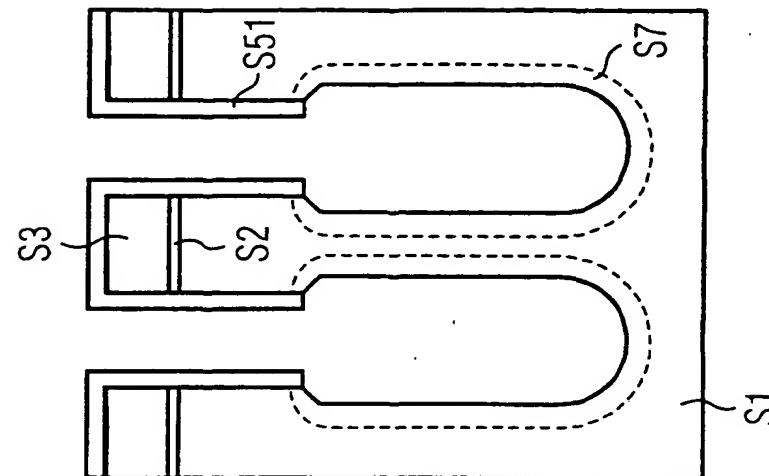


FIG 5L

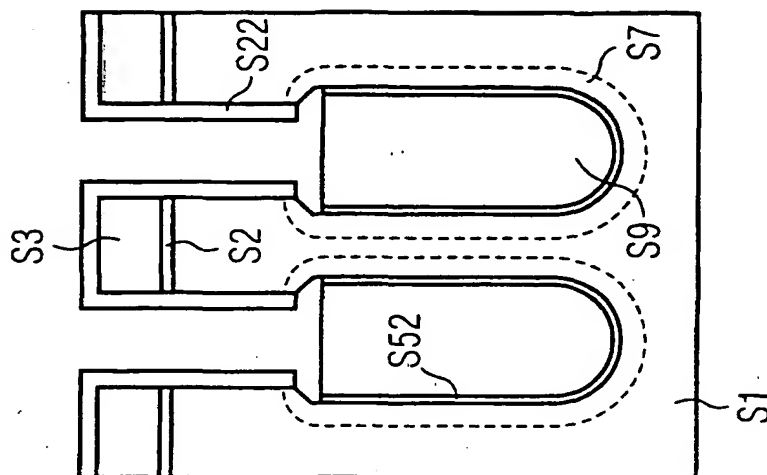


FIG 5K

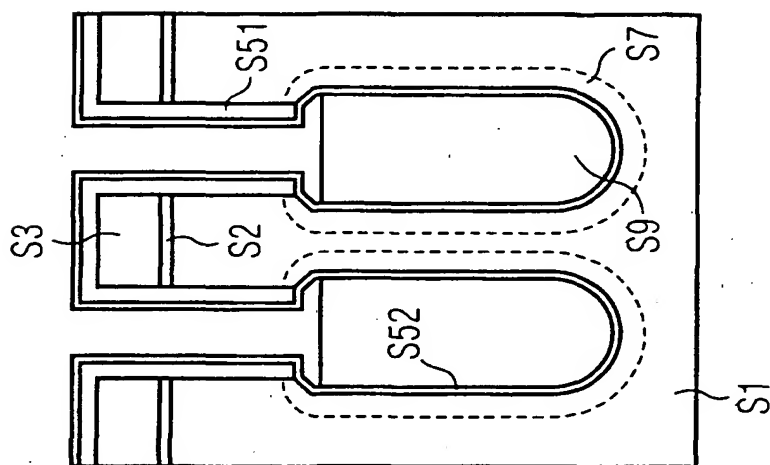


FIG 5J

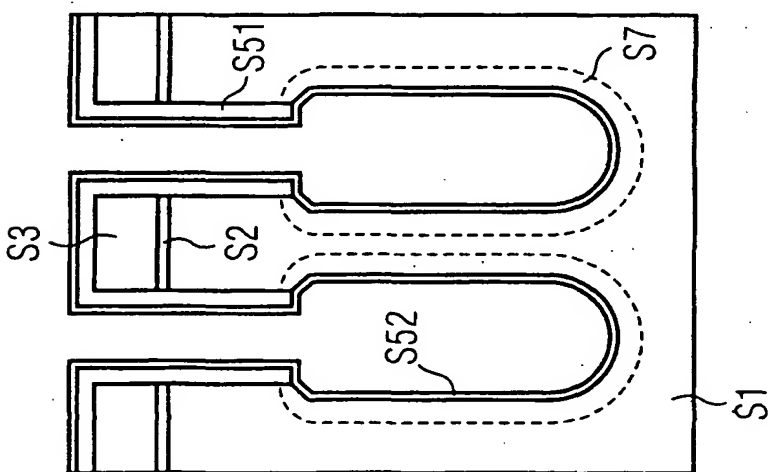


FIG 50

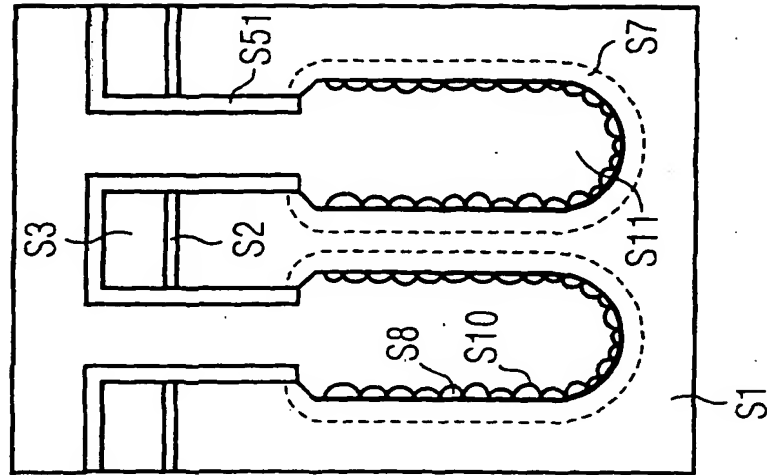


FIG 5N

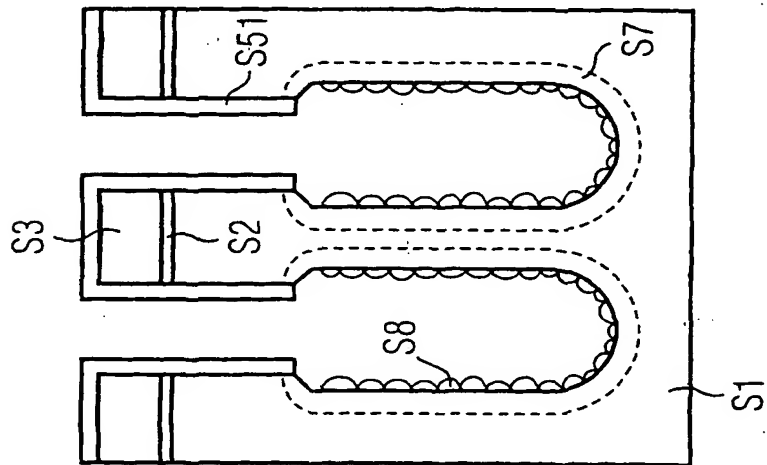


FIG 5M

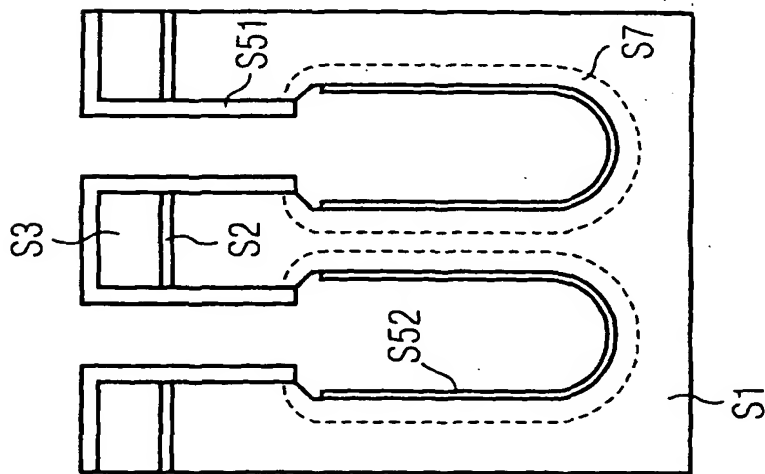


FIG 6

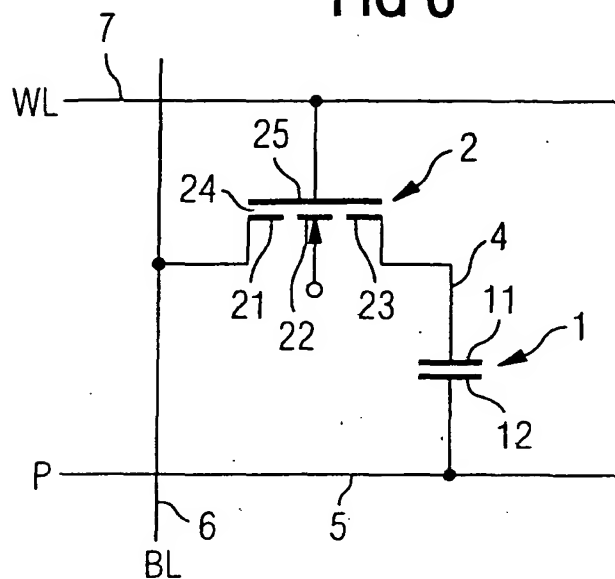


FIG 7

